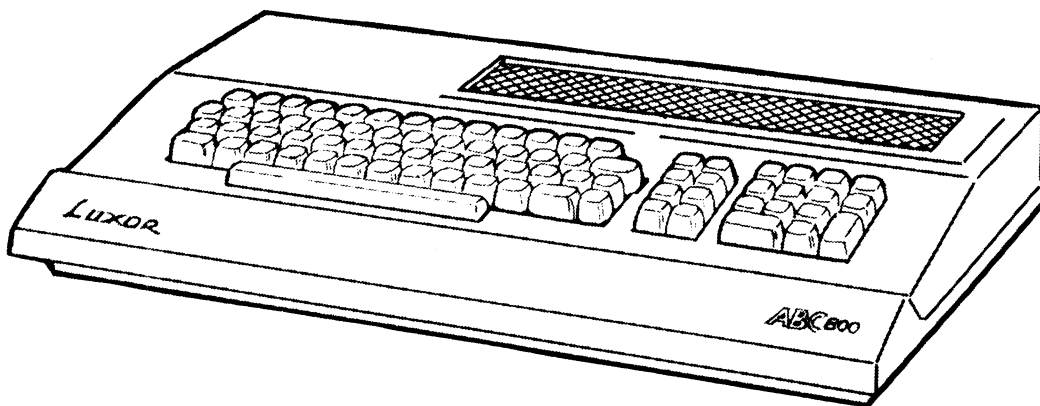
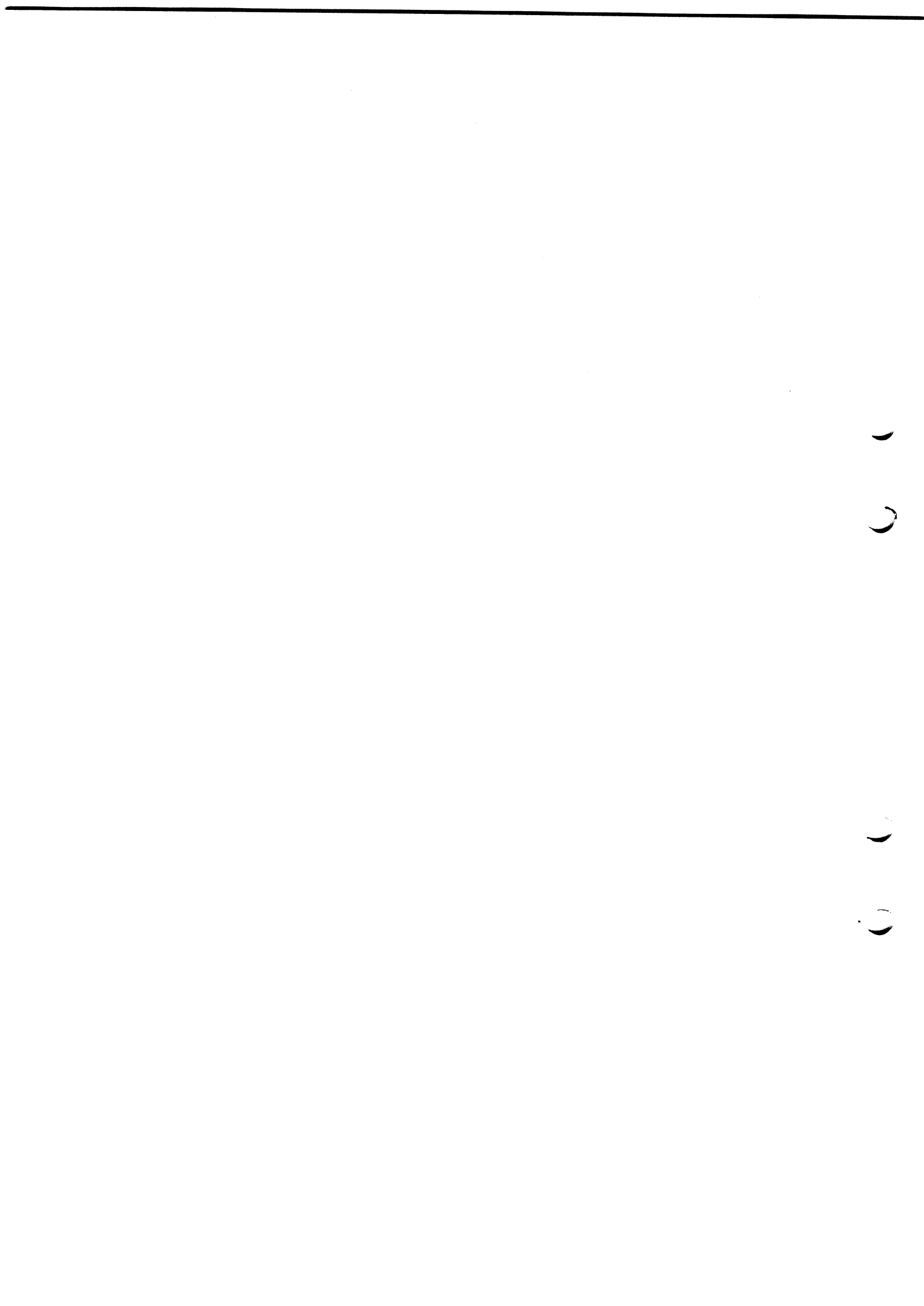


LUXOR
Datorer

Dator ABC 800 190 9210

Service manual



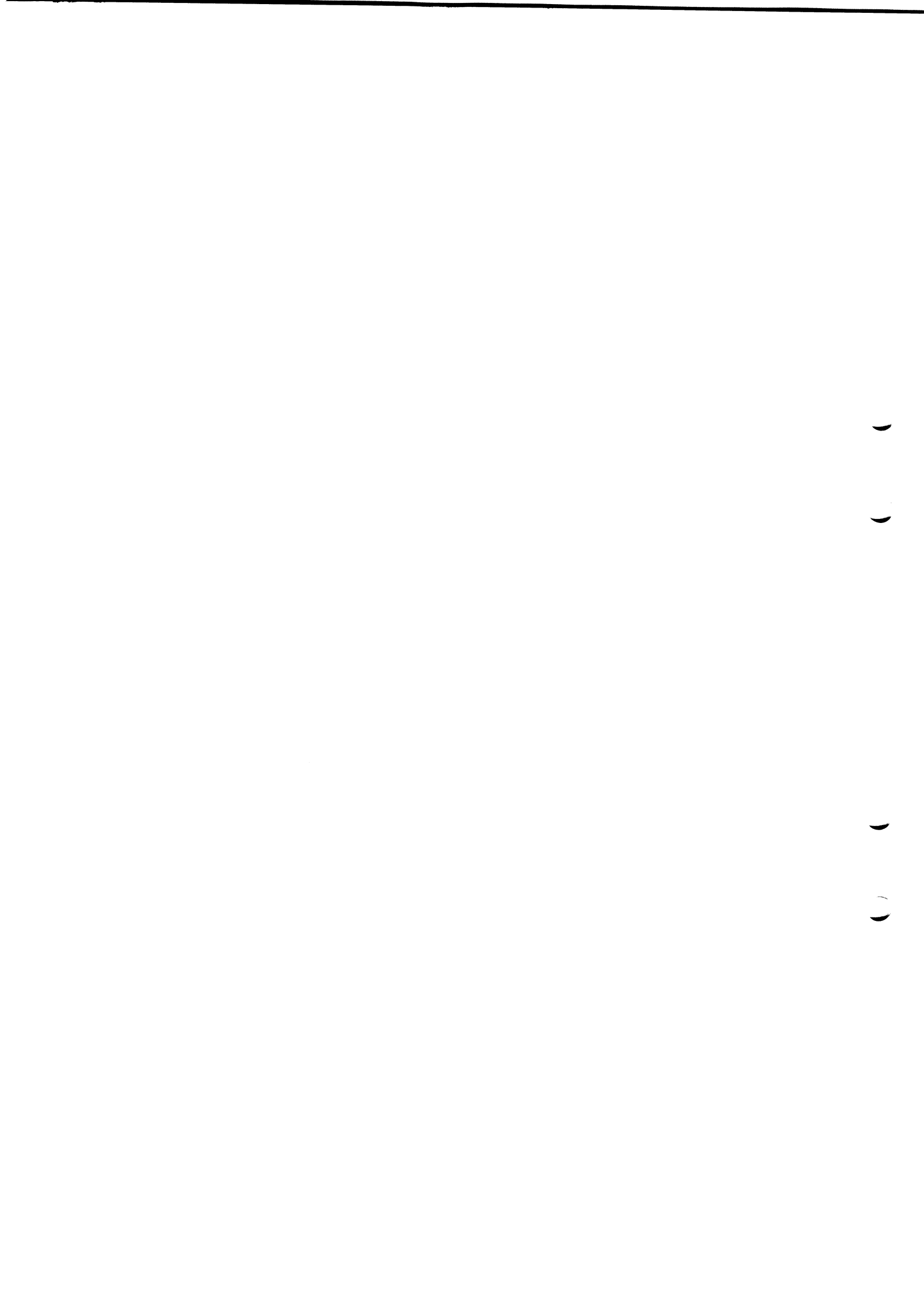


INNEHÅLL

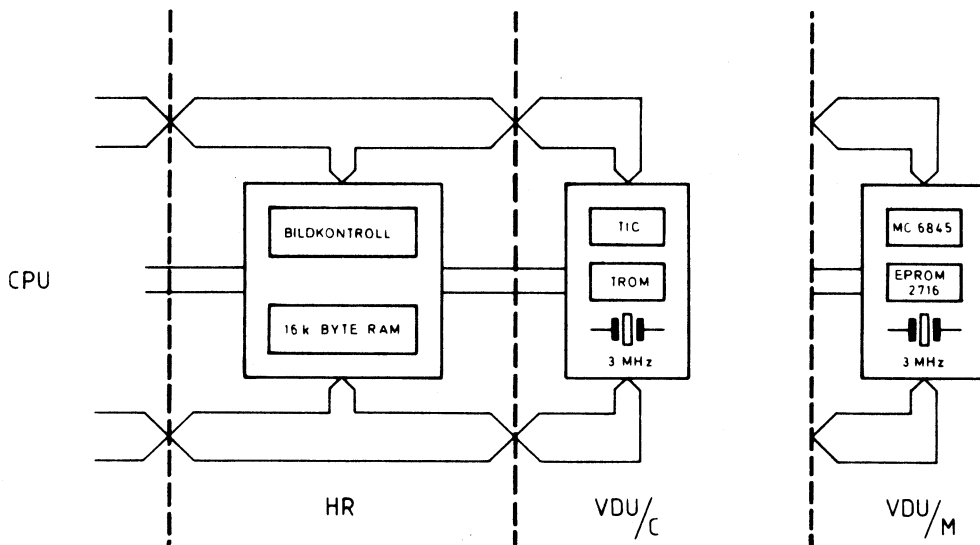
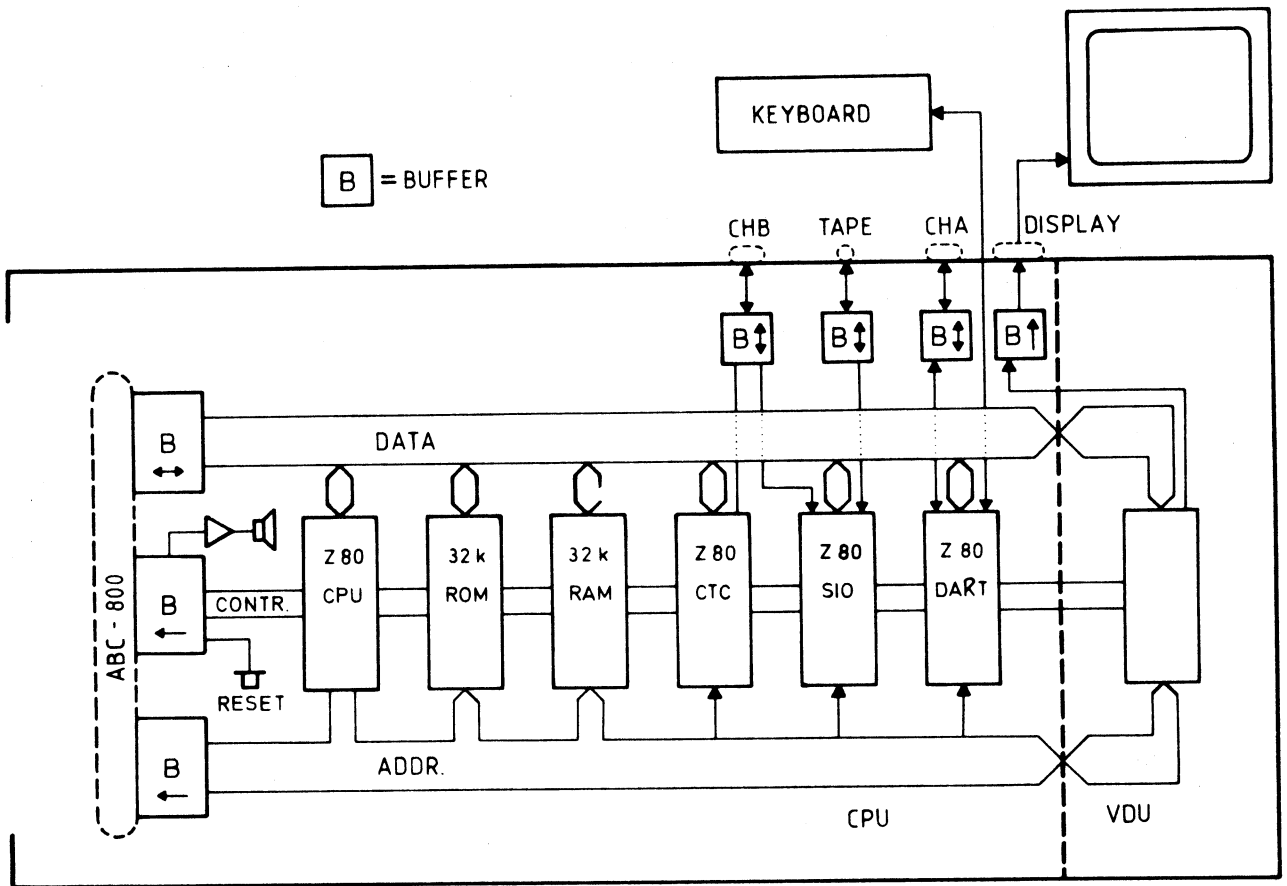
1. BLOCKSCHEMA OCH TEKNISKA DATA.....	1-1
2. TEKNISK BESKRIVNING.....	2-1
2.1 PU-kortet (Processorkortet).....	2-1
2.1.1 Z80A.....	2-3
2.1.2 I/O- och XMEM-avkodning.....	2-6
2.1.3 RESET,NMI och INT.....	2-10
2.1.4 32 kbyte ROM med kontrollkretsar.....	2-13
2.1.5 32 kbyte RAM med kontrollkretsar.....	2-17
2.1.6 CTC.....	2-20
2.1.7 SIO/2.....	2-23
2.1.8 DART.....	2-25
2.2 VU/M-kortet (80 tecken).....	2-26
2.2.1 Blockschemabeskrivning.....	2-26
2.2.2 VU/M klocksignaler.....	2-28
2.2.3 CRTC I/O adressering.....	2-29
2.2.4 Exempel.....	2-33
2.2.5 CRTC.....	2-34
2.2.6 Videominne och teckengenerering.....	2-38
2.2.7 CPU Read och Write.....	2-40
2.3 VU/C-kortet (40 tecken).....	2-41
2.4 Tangentbordet.....	2-46
2.5 DC/DC-modulen.....	2-49
2.6 Optioner.....	2-51
2.6.1 Högupplösningkortet.....	2-51
3. ANSLUTNINGSDON OCH ABC-BUSSEN.....	3-1
4. MINNESDISPOSITION.....	4-1
5. RESERVDLSLISTA.....	5-1
6. DEMONTERING.....	6-1
7. KOMPONENTFÖRTECKNING.....	7-1
7.1 Processorkortet (40 och 80 tecken).....	7-1
7.2 Videokortet 40-tecken.....	7-5
7.3 Videokortet 80-tecken.....	7-7
7.4 DC/DC-modulen.....	7-9
7.5 Högupplösningkortet.....	7-11

Bilagor

Kretsschema processorkort
Kretsschema videokort 40-tecken
Kretsschema videokort 80-tecken
Kretsschema DC/DC-modul
Kretsschema högupplösningkort
Kretsschema tangentbord



1. BLOCKSCHEMA OCH TEKNISKA DATA



Processorenhet (PU)	CPU	Z80A
	Ordlängd	8 bitar
	Klockfrekvens	3 MHz
	Minne, ROM	24 kbyte BASIC 4 kbyte DOS 4 kbyte options-PROM
	Minne, RAM	32 kbyte primärminne
	Kontaktdon	2x9-polig D-sub (CH A och CH B) 15-polig D-sub (DISPLAY POWER) 64-polig Europa-don (ABC-buss) 5-polig DIN (TAPE) 3x20-polig STUCKO (för anslutn. av VU-kort)
Teckengenerator (VUM) monokrom	Bildformat	24 rader, 80 tecken/rad
	Teckenformat	Teckencell 10x6 punkter Teckenmatris 9x5 punkter
Teckengenerator (VUC) färg	Bildformat	24 rader, 40 tecken/rad
	Teckenformat	Teckencell 10x6 punkter Teckenmatris 9x5 punkter
	Grafik	64 grafiska tecken enligt Teletex standard
	Färger	Röd, grön, blå, gul, cyan, magenta, vit och svart
Högupplösning (HR) Option	Upplösning	240x240 pixels (punkter)
	Minne	16 kbyte RAM
	Adressering	Varje punkt är adresserbar i fyra av åtta färger (vitt och svart räknas som färger)
Tangentbord	Layout	Speciell version av svensk standard SIS 662241
	Koder	Svensk standard SEN 850200, version 2
	Antal tangenter	77 st
	Antal koder	256 st
	Funktionstang.	8 st, 32 unika koder
	Processor	8035
	Klockfrekvens	6 MHz
	Dataöverföring	Seriellt eller parallellt
Kraftmodul	Typ	Sekundärswitchad DC/DC-omvandlare
	Spänningar	In +17 - +28 V Ut +5 V/4 A +12 V/0,3 A -12 V/0,3 A
Alternativ	1:	Teckengenerator monokrom (VUM)
	2:	Teckengenerator färg (VUC)
	3:	Högupplösningsgrafik (HR)
	Kombinationer: 1, 2, 1+3 och 2+3	

2. TEKNISK BESKRIVNING

2.1 PU-kortet (Processorkortet)

PU-kortet har delats upp i ett antal block (se fig 1) där blocken har följande funktioner:

- Z80A.
Microprocessor Z80A som via adress och kontrollbuss styr databussen. Processorns adressbuss är enkelriktad och via en buffert framdragen till den 64-poliga busskontakten samt genom en annan buffert framdragen till RAM- och ROM-minne och VU-kontakt. Databussen är ansluten till den 64-poliga kontakten genom en dubbelriktad buffert, vars riktning styrs från I/O- och XMEM-kontroll.
- I/O- och XMEM-kontroll.
Avkodar alla I/O-adresser från processorn och genererar interna och externa I/O-strobar. Som interna I/O-enheter räknas CTC, SIO/2, DART och 80-teckens VU-kort (VUM).
- RESET, NMI och INT
Genererar systemreset vid nättillslag samt när resetknappen aktiveras. Kontrollerar dessutom styrsignalerna NMI, INT och WAIT till processorn.
- 32 kbyte ROM/PROM läsminne med kontrollkretsar.
ROM-arean, som är uppdelad i 8 block om vardera 4 kbyte, avkodas av kontrolldelen. En speciell avkodning görs av ett bildminne på 2 kbyte statiska RAM och ett High Res. minne på 16 kbyte dynamiskt RAM, som via VU-kontakten ligger anslutna parallellt med en del av ROM minnet. Även avkodningen av externt minne görs här.

Data läses av processorn via en buffert som är gemensam för ROM och RAM-minnet.
- 32 kbyte RAM läs- och skrivminne med kontrollkretsar.
Minnesarean är uppdelad i två block om vardera 16 kbyte. Kontrolldelen genererar de styrsignaler som behövs för läsning och skrivning samt refresh av minnet. Vid skrivning läggs data in direkt från databussen.
- VU-kontakt.
VU-kontakten är en intern busskontakt där tillvalskort kan anslutas. Till kontakten är adress-, data- och kontrollbuss framdragen.

I grundutförande är endast VU-kort (40- eller 80-tecken) anslutet.

På VU-kortet finns 1 kbyte eller 2 kbyte statiskt RAM (beroende på variant) som innehåller den information som ska visas på bildskärmen.

Som utsignal från enheten kommer en komplett videosignal som via monitor-kontakten kopplas till bildskärmen. En klocksignal (6MHz), som efter delning med 2 används som systemklocka, tas också ut.

Om tillvalskort skall användas, ansluts dessa mellan PU- och VU-kortet.
- CTC.
CTC är en programmerbar timerkrets, som genererar signaler som används för att styra överföringshastigheten på dom seriella kommunikationskretsarna.

- SIO/2.
SIO/2 är en seriell in/ut-krets med två kanaler. Kretsen kan överföra data i asynkron eller synkron form. Den ena kanalen används för generell kommunikation med yttre enheter och är ansluten till en 9-polig V24-kontakt benämnd kanal B (CH B). Den andra kanalen används för överföring av data till kassettninne via ett interface som omvandlar den asynkront kodade signalen till ett format som kallas FM eller DF.
- DART.
DART är också en krets för seriell kommunikation. Skillnaden mellan SIO/2 och DART är att DART:en bara kan överföra data i asynkron form. Kretsen har två kanaler där den ena är utdragen till en 9-polig V24-kontakt, benämnd kanal A (CH A). A-kanalen används vanligtvis för anslutning av skrivare. Till den andra kanalen är tangentbordet anslutet.
- Strömförsörjning.
Från monitorn via DISPLAY-kontakten tas en +26 V likspänning in. Spänningen matas till en DC/DC-omvandlare, som omvandlar 26 V-spänningen till +5 V, +12 V och -12 V. Dessa spänningar utgör systemets matningsspänningar.

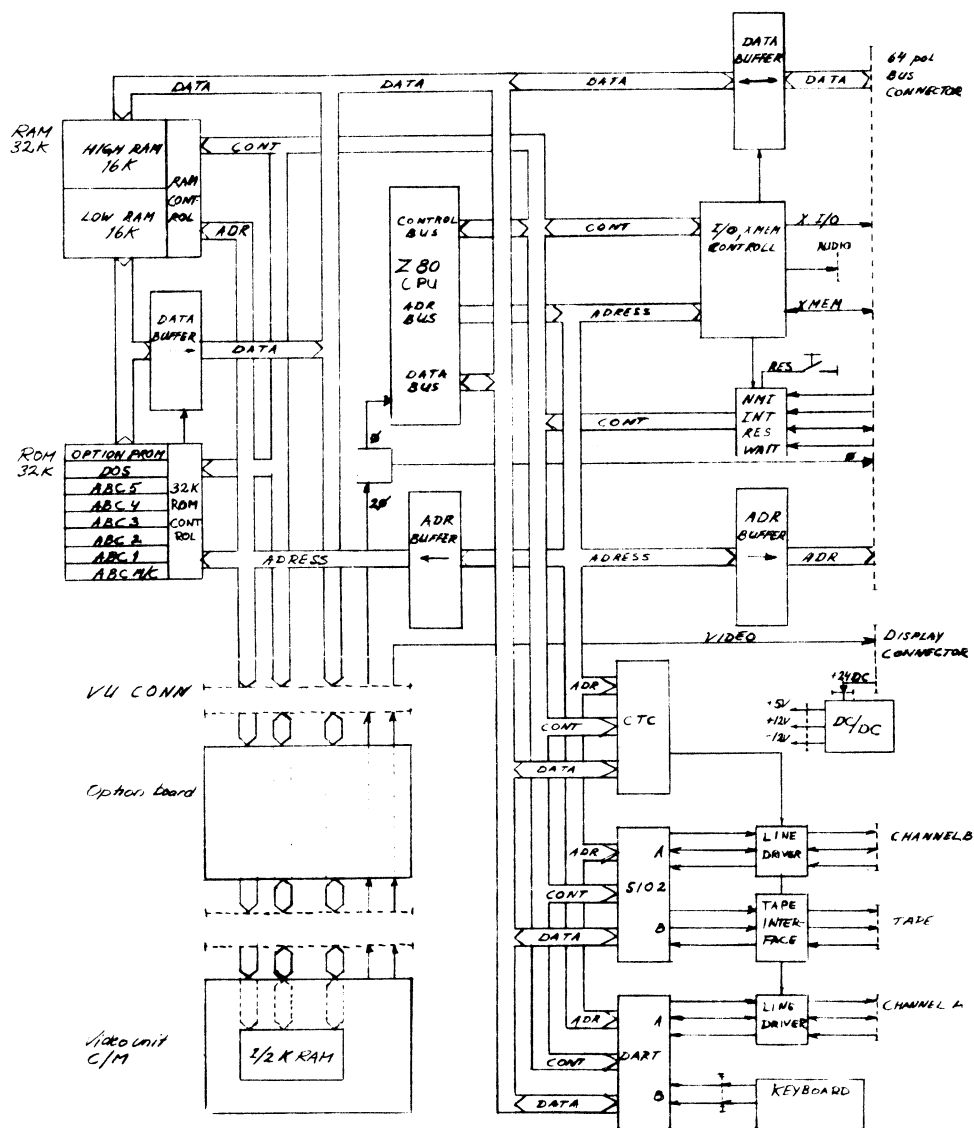
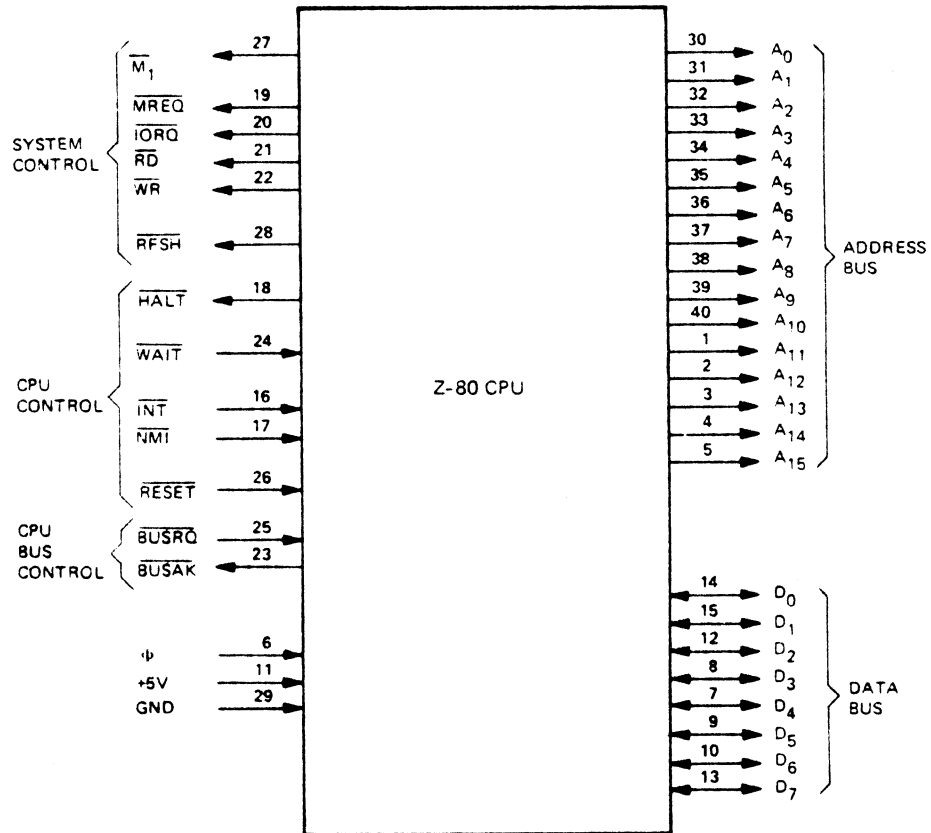


Fig 1 Blockschemat PU-kort

2.1.1 Z80A

The Z-80 CPU is packaged in an industry standard 40 pin Dual In-Line Package. The I/O pins are shown in figure 3.0-1 and the function of each is described below.



Z-80 PIN CONFIGURATION
FIGURE 3.0-1

A_0 - A_{15}
(Address Bus)

Tri-state output, active high. A_0 - A_{15} constitute a 16-bit address bus. The address bus provides the address for memory (up to 64K bytes) data exchanges and for I/O device data exchanges. I/O addressing uses the 8 lower address bits to allow the user to directly select up to 256 input or 256 output ports. A_0 is the least significant address bit. During refresh time, the lower 7 bits contain a valid refresh address.

D_0 - D_7
(Data Bus)

Tri-state input/output, active high. D_0 - D_7 constitute an 8-bit bidirectional data bus. The data bus is used for data exchanges with memory and I/O devices.

\overline{M}_1
(Machine Cycle one)

Output, active low. \overline{M}_1 indicates that the current machine cycle is the OP code fetch cycle of an instruction execution. Note that during execution of 2-byte op-codes, \overline{M}_1 is generated as each op code byte is fetched. These two byte op-codes always begin with CBH, DDH, EDH or FDH. \overline{M}_1 also occurs with IORQ to indicate an interrupt acknowledge cycle.

\overline{MREQ}
(Memory Request)

Tri-state output, active low. The memory request signal indicates that the address bus holds a valid address for a memory read or memory write operation.

$\overline{\text{IORQ}}$ (Input/Output Request)	Tri-state output, active low. The $\overline{\text{IORQ}}$ signal indicates that the lower half of the address bus holds a valid I/O address for a I/O read or write operation. An $\overline{\text{IORQ}}$ signal is also generated with an $\overline{\text{MI}}$ signal when an interrupt is being acknowledged to indicate that an interrupt response vector can be placed on the data bus. Interrupt Acknowledge operations occur during M_1 time while I/O operations never occur during M_1 time.
$\overline{\text{RD}}$ (Memory Read)	Tri-state output, active low. $\overline{\text{RD}}$ indicates that the CPU wants to read data from memory or an I/O device. The addressed I/O device or memory should use this signal to gate data onto the CPU data bus.
$\overline{\text{WR}}$ (Memory Write)	Tri-state output, active low. $\overline{\text{WR}}$ indicates that the CPU data bus holds valid data to be stored in the addressed memory or I/O device.
$\overline{\text{RFSH}}$ (Refresh)	Output, active low. $\overline{\text{RFSH}}$ indicates that the lower 7 bits of the address bus contain a refresh address for dynamic memories and the current $\overline{\text{MREQ}}$ signal should be used to do a refresh read to all dynamic memories.
$\overline{\text{HALT}}$ (Halt state)	Output, active low. $\overline{\text{HALT}}$ indicates that the CPU has executed a HALT software instruction and is awaiting either a non maskable or a maskable interrupt (with the mask enabled) before operation can resume. While halted, the CPU executes NOP's to maintain memory refresh activity.
$\overline{\text{WAIT}}$ (Wait)	Input, active low. $\overline{\text{WAIT}}$ indicates to the Z-80 CPU that the addressed memory or I/O devices are not ready for a data transfer. The CPU continues to enter wait states for as long as this signal is active. This signal allows memory or I/O devices of any speed to be synchronized to the CPU.
$\overline{\text{INT}}$ (Interrupt Request)	Input, active low. The Interrupt Request signal is generated by I/O devices. A request will be honored at the end of the current instruction if the internal software controlled interrupt enable flip-flop (IFF) is enabled and if the $\overline{\text{BUSRQ}}$ signal is not active. When the CPU accepts the interrupt, an acknowledge signal ($\overline{\text{IORQ}}$ during M_1 time) is sent out at the beginning of the next instruction cycle. The CPU can respond to an interrupt in three different modes that are described in detail in section 5.4 (CPU Control Instructions).
$\overline{\text{NMI}}$ (Non Maskable Interrupt)	Input, negative edge triggered. The non maskable interrupt request line has a higher priority than $\overline{\text{INT}}$ and is always recognized at the end of the current instruction, independent of the status of the interrupt enable flip-flop. $\overline{\text{NMI}}$ automatically forces the Z-80 CPU to restart to location 0066H. The program counter is automatically saved in the external stack so that the user can return to the program that was interrupted. Note that continuous $\overline{\text{WAIT}}$ cycles can prevent the current instruction from ending, and that a $\overline{\text{BUSRQ}}$ will override a $\overline{\text{NMI}}$.

RESET

Input, active low. RESET forces the program counter to zero and initializes the CPU. The CPU initialization includes:

- 1) Disable the interrupt enable flip-flop
- 2) Set Register I = 00_H
- 3) Set Register R = 00_H
- 4) Set Interrupt Mode 0

During reset time, the address bus and data bus go to a high impedance state and all control output signals go to the inactive state.

BUSRQ
(Bus Request)

Input, active low. The bus request signal is used to request the CPU address bus, data bus and tri-state output control signals to go to a high impedance state so that other devices can control these buses. When BUSRQ is activated, the CPU will set these buses to a high impedance state as soon as the current CPU machine cycle is terminated.

BUSAK
(Bus Acknowledge)

Output, active low. Bus acknowledge is used to indicate to the requesting device that the CPU address bus, data bus and tri-state control bus signals have been set to their high impedance state and the external device can now control these signals.

Φ

Single phase TTL level clock which requires only a 330 ohm pull-up resistor to +5 volts to meet all clock requirements.

2.1.2 I/O- och XMEM-avkodning

När processorn utför en I/O-instruktion, lägger den ut en adress med ett värde som ligger mellan 0-255 på adressbitarna A0-A7. Dessa avkodas av ett antal kretsar vilka kommer att generera interna eller externa I/O-strobar, beroende på vilken adress som läggs ut. Adress 0-31 och 128-255 genererar externa strobar medan adress 32-127 är reserverade för interna I/O-enheter. De senare genererar därför inga externa strobar.

De externa strobarna, som är anslutna till den 64-poliga busskontakten, används för kommunikation med externa I/O-enheter och dom interna strobarna används för kommunikation med interna enheter.

OUT 0-5 och INP 0-1 är signaler som är anpassade mot 4680-systemets I/O-kort där dom har speciella funktioner. För information om de I/O-kort som finns, se boken BYGG UT ABC 80 MED 4680.

Vid adressering av interna I/O-enheter, används I/O-stroben i kombination med adressbitarna för att aktivera den enhet som processorn vill kommunicera med.

De tre mest signifikanta I/O-adressbitarna är kopplade till ingångarna på 1-av-4 avkodaren LS 139 i pos 6C. A7 låg aktiverar kretsen medan A5 och A6 väljer utgång. Utgång 3 används som CE-signal till CTC, 2 ger CE till SIO/2 och utgång 1 tillsammans med adressbit A4 ger CE till DART. Utgång 0 används för att ge en av ENABLE-signalerna till de två 1-av-8 avkodarna 8205 i pos 5B och 5C.

De två 8205-kretsarna avkodar de tre minst signifikanta I/O-adressbitarna för att generera OUT 0-7 respektive INPUT 0, 1 och 2 strobar på busskontakten samt internt INPUT 5, 7. För att dessa strobar ska avges måste ENABLE-villkoren för de tre ingångarna vara rätt. Ingångarna E1 och E3 är gemensamma. E1 aktiveras av utgång 0 LS 139, som går låg när en adress < 32 läggs ut på adressbussen. E3 styrs av signalen XI/O, som genereras av kretsarna LS13 i pos 6J och LS51 i pos 6K.

HAND-grinden LS13 avkodar att ingen intern I/O-enhet adresseras (CTC, SIO/2, eller DART). Utsignalen går sedan till LS 51. LS51 har som en andra insignal \overline{IORQ} . När båda dessa insignaler går låga kommer XI/O-utgången att gå hög och E3-villkoret är då sant.

Det sista ENABLE-villkoret på kretsarna bestäms av om det är en I/O-write eller en I/O-read operation som ska utföras. E2 på respektive krets styrs av kontrollsignalerna \overline{RD} och \overline{WR} .

Om en write-operation utförs med adress lägre än 7 avges OUT-strob och data läggs ut på busskontakten via bufferten, som då ligger riktad utåt.

När en I/O-read görs måste databufferten riktas in mot CPU, samtidigt som INP-strob avges. Detta görs med hjälp av JK-vippan i pos 5M och multiplexern i pos 3M. JK-vippans Q-utgång, som är kopplad till databuffertens DIR-ingång, kommer att ligga på låg nivå så länge SET-ingången hålls hög från multiplexerns utgång Y3. Multiplexerns GATE-ingång styrs av RD vilket innebär att den aktiveras endast vid read-operationer. För att skilja på I/O och Memory Read, styrs SELECT-ingången av \overline{MRQ} .

Vid I/O read kommer ingångarna märkta med 1 att vara kopplade till respektive utgång. Utgång Y3 har som insignal vid I/O read, signalen XI/O, som avkodar interna och externa I/O-adresser. Om XI/O ligger hög kommer Y3 att gå låg och sätter därmed vippans Q-utgång hög och bufferten riktas in mot

CPU för läsning av data. För att inte konflikt ska uppstå mellan I/O-enheternas eventuella buffertar och databufferten, när denna riktas utåt igen, fördröjs tillbakagången ca 100 nS. Detta beror på förhållandet mellan fasläget på JK-vippans klocksignal och fasläget på CPU-klockans signal.

XOUTSTB är en signal som läggs ut från 1-av-4 avkodaren LS139, pos 6C. Insignaler som avkodas är WR, BMRQ och XI/O. Utgång 1 kommer att gå låg var gång som WR och XI/O är aktiva, dvs när en I/O WRITE görs på adress 0-31 eller adress 128-255.

MEMWR avges alltid från utgång 2 på avkodaren när WR och BMRQ är aktiva. BMRQ är en buffrad invers av MRQ.

XINSTB kommer från utgång Y4 på multiplexern och aktiveras av RD och XI/O. XI/O indirekt via JK-vippan i pos 5M. XINSTB kommer att vara aktiv var gång en I/O read görs på adress 0-31 och adress 128-255.

XMEMFL aktiveras från utgång Y1. Ingång 0, som avkodar EXT M-signalen via utgång Y3 och JK-vippan i pos 5M, kopplas till Y1 var gång MRQ och RD går låga. Om EXT M-signalen skulle vara hög, indikerar detta att läsning ska göras från ett yttre minne. Databufferten riktas in mot CPU och XMEMFL avges via Y1.

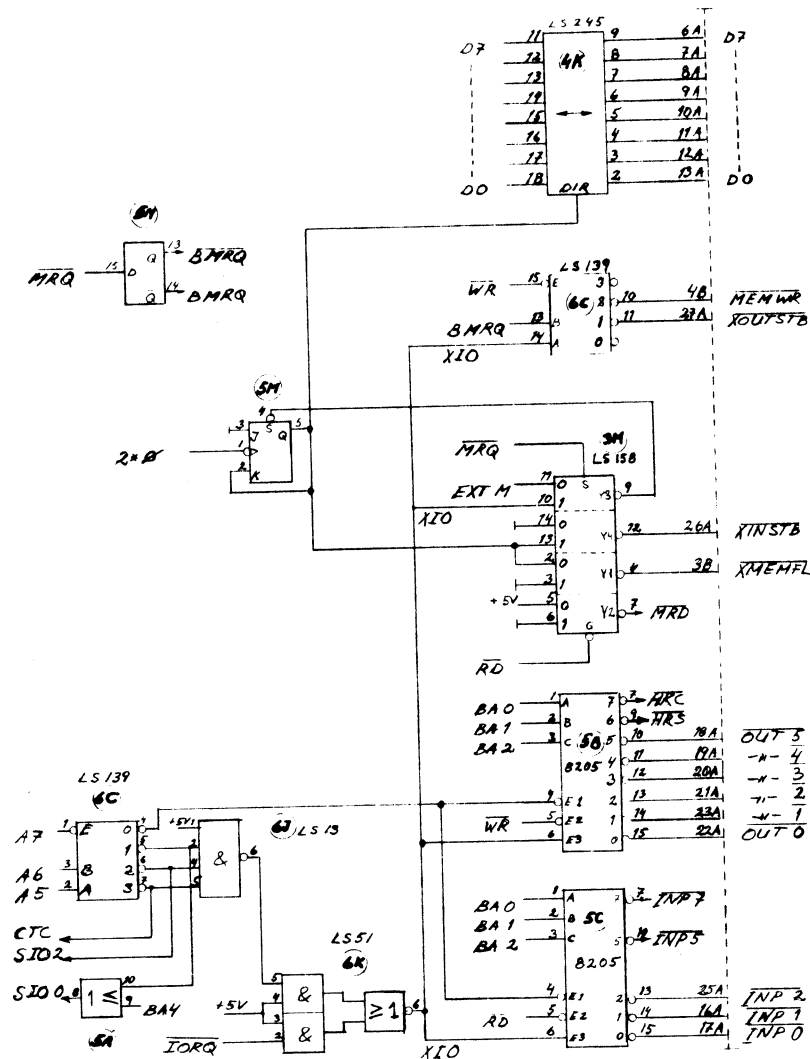


Fig 2 I/O- och XMEM-avkodning

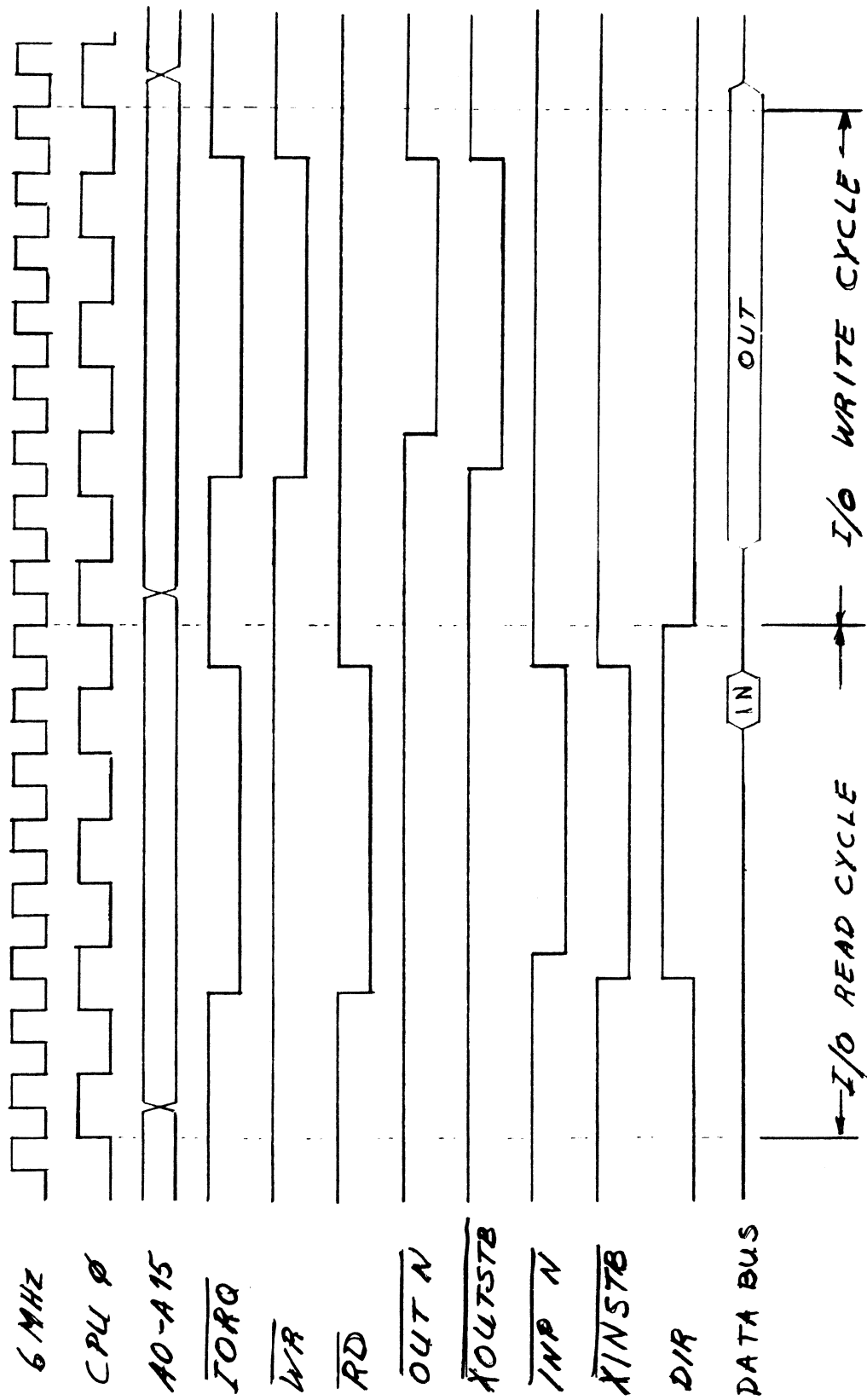


Fig. 3 Input and output cycles

Tabell över I/O-adresser

ENHET	ADRESS	FUNKTION	OUT	IN
-----	7 6 5 4 3 2 1 0	-----	-----	-----
BUSS CON.	1 X X X X X X X	XOUTSTB, XINSTB	128-255	
NOT USED			100-127	
CTC	0 1 1 X X X 1 1	CHANNEL 3	99	99
	0 1 1 X X X 1 0	CHANNEL 2	98	98
	0 1 1 X X X 0 1	CHANNEL 1	97	97
	0 1 1 X X X 0 0	CHANNEL 0	96	96
NOT USED			68-95	
SI02	0 1 0 X X X 1 1	CASSETT CONTROL	67	67
	0 1 0 X X X 1 0	CASSETT DATA	66	66
	0 1 0 X X X 0 1	V24 CONTROL	65	65
	0 1 0 X X X 0 0	V24 DATA	64	64
NOT USED			58-63	
CRTC	0 0 1 1 1 X X 1	WRITE REGIST.	57	
	0 0 1 1 1 X X 0	WRITE REG.ADR.	56	
NOT USED			50-55	
CRTC	0 0 1 1 0 X X 1	READ REGIST.		49
NOT USED			36-48	
DART	0 0 1 0 X X 1 1	KEYBOARD CONTROL	35	35
	0 0 1 0 X X 1 0	KEYBOARD DATA	34	34
	0 0 1 0 X X 0 1	PRINTER CONTROL	33	33
	0 0 1 0 X X 0 0	PRINTER DATA	32	32
BUS CON.		XOUTSTB, XINSTB	0-31	
HIGH RES.	0 0 0 X X 1 1 1	HRC	7	
	0 0 0 X X 1 1 0	HRS	6	
BUS CON.	0 0 0 X X 1 0 1	OUT STROBE 5	5	
	0 0 0 X X 1 0 0	OUT STROBE 4	4	
	0 0 0 X X 0 1 1	OUT STROBE 3	3	
	0 0 0 X X 0 1 0	OUT STROBE 2	2	
	0 0 0 X X 0 0 1	OUT STROBE 1	1	
	0 0 0 X X 0 0 0	OUT STROBE 0	0	
	0 0 0 X X 1 1 1	I/O RESET		7
AUDIO	0 0 0 X X 1 0 1	PLING		5
BUS CON.	0 0 0 X X 0 1 0	INP 2		2
	0 0 0 X X 0 0 1	INP 1		1
	0 0 0 X X 0 0 0	INP 0		0

2.1.3 RESET, NMI och INT

Generell reset-signal till system 800 kan genereras på tre olika sätt:

1. Vid nättillslag.
2. Genom att aktivera $\overline{RES\ IN}$, stift 3A i den 64-poliga busskontakten.
3. När tryckkomkopplaren (RESET) på 800:s baksida trycks in.

När Reset-signal genererats på något av ovanstående sätt, kommer \overline{RST} -signalen att avges till CPU, CTC, SIO/2, DART och till den 64-poliga busskontakten.

\overline{RST} -signalen, som går ut till den 64-poliga busskontakten, används för att ge reset till externa I/O-enheter. \overline{RST} -signal till externa I/O enheter kan också genereras separat (via programstyrning) med instruktionen INP 7.

För att ge en säker reset i alla lägen, låter man NAND-grinden i pos 6G styra transistor T1. Grindens utgång kommer att gå hög när någon av ingångarna går låg. Ingång 2 aktiveras vid nättillslag, då C55 laddas upp och ett spänningsfall uppstår över R29, som sänker ingången. Ingång 1 aktiveras av $\overline{RES\ IN}$ eller Resetknappen (RESET).

När T1:s emitter höjs över en viss nivå, som bestäms av spänningsdelaren på basen, stryps T1 och ger hög nivå till RES-ingången på räknaren i pos 7C. T1 kommer att ligga strypt en viss minimitid som bestäms av RC-nätet R28 och C71, vilket garanterar att räknaren ges reset även vid en mycket kort aktiv signal från NAND-grinden.

När R-ingången på räknaren (pos 7C) går hög, nollställs Q-utgången, stift 7 och \overline{RST} -signalen blir aktiv. Samtidigt öppnas OR-grinden i pos 5A och släpper fram klockpulser till räknaren. Då R-ingången till räknaren sedan går låg, börjar räknaren att räkna pulserna på klockingången. Efter fyra pulser går Q-utgången, stift 7, hög och stänger OR-grinden, samtidigt som den interna \overline{RST} -signalen går hög. Den interna \overline{RST} -signalens längd kan därmed inte bli kortare än tiden mellan fyra pulser på SLOW CLOCK-ingången. Pulserna SLOW CLOCK tas från VU-kortet och pulsavståndet varierar beroende på vilket VU-kort som används (ABC 800C: 20 ms och ABC 800M: ca 16 ms).

Extern \overline{RST} -signal kommer att aktiveras av den interna \overline{RST} -signalen via NAND-grinden i pos 3C. Grindens utgång ger resetsignal till den andra räknaren i pos 7C, vilket gör att dess Q-utgång går låg och via buffertkretsen i pos 4G ger extern \overline{RST} -signal. Då Q-utgången blir låg, öppnas OR-grinden i pos 6H och släpper fram klockpulser till räknaren. När sedan den interna \overline{RST} -signalen går hög, sätts R-ingången låg och räknaren börjar räkna upp. Efter 8 pulser går Q-utgången hög och stänger OR-grinden samt gör den externa \overline{RST} -signalen inaktiv. Detta gör att den externa \overline{RST} -signalen blir minst 2,64 μ s längre än den interna \overline{RST} -signalen.

Extern \overline{RST} aktiveras också när INP 7 stroben på NAND-grinden går låg. Tiden på \overline{RST} -signalen i detta fall blir längden på INP 7 stroben + 2,64 μ s, vilket blir ca 3,3 μ s.

\overline{NMI} begäran till CPU kan bara göras externt via den 64-poliga busskontakten. Signalen läggs in till CPU via en komparatorkrets i pos 5H. Komparatorns utgång kommer att gå låg när +-ingången får en lägre nivå än --ingången. När \overline{NMI} -ingången går låg, kommer CPU:n att lägga ut adress 0066H och hämta nästa instruktion. Instruktionen är ett hopp till RAM-minnet och leder till att en \overline{RST} på systemet görs.

\overline{INT} -funktionen används av CTC, SIO/2 och DART-kretsarna internt i systemet, men kan också användas från externa I/O-enheter via busskontakten. Extern interrupt läggs in via en en komparator på liknande sätt som vid \overline{NMI} begäran.

\overline{INT} begäran kan förhindras genom att --ingångens förspänning läggs på 0 V, vilket görs genom att lägga låg nivå på basen till transistorn T2. Basen på T2 styrs av Interrupt Enable Out-utgången på DART-kretsen, vilken kommer att gå låg när kretsen får ett godkännande på en INT begäran till CPU eller när dess IEI-ingång är låg. DART:ens Interrupt Enable IN-ingång styrs i sin tur från SIO/2:s IEO-utgång. SIO/2:s IEI-ingång styrs av CTC IEO-utgång. CTC IEI-ingång har lagts på +5 V. De här signalerna används för att ge enheterna olika prioritet vid \overline{INT} begäran till CPU. CTC har högsta prioritet och sedan SIO/2, DART och externa I/O-enheter i nu nämnd ordning.

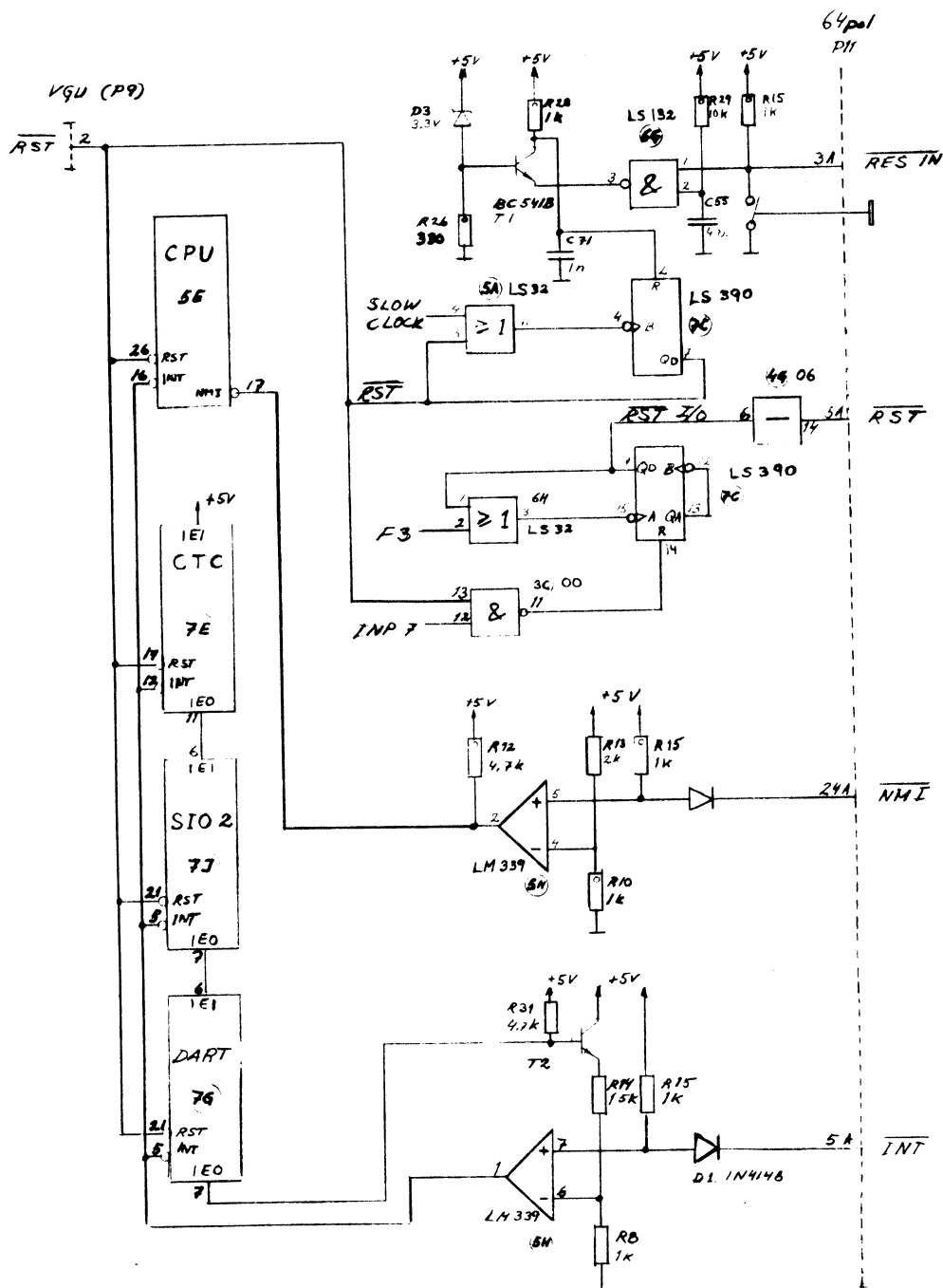


Fig 4 RESET, NMI och INT

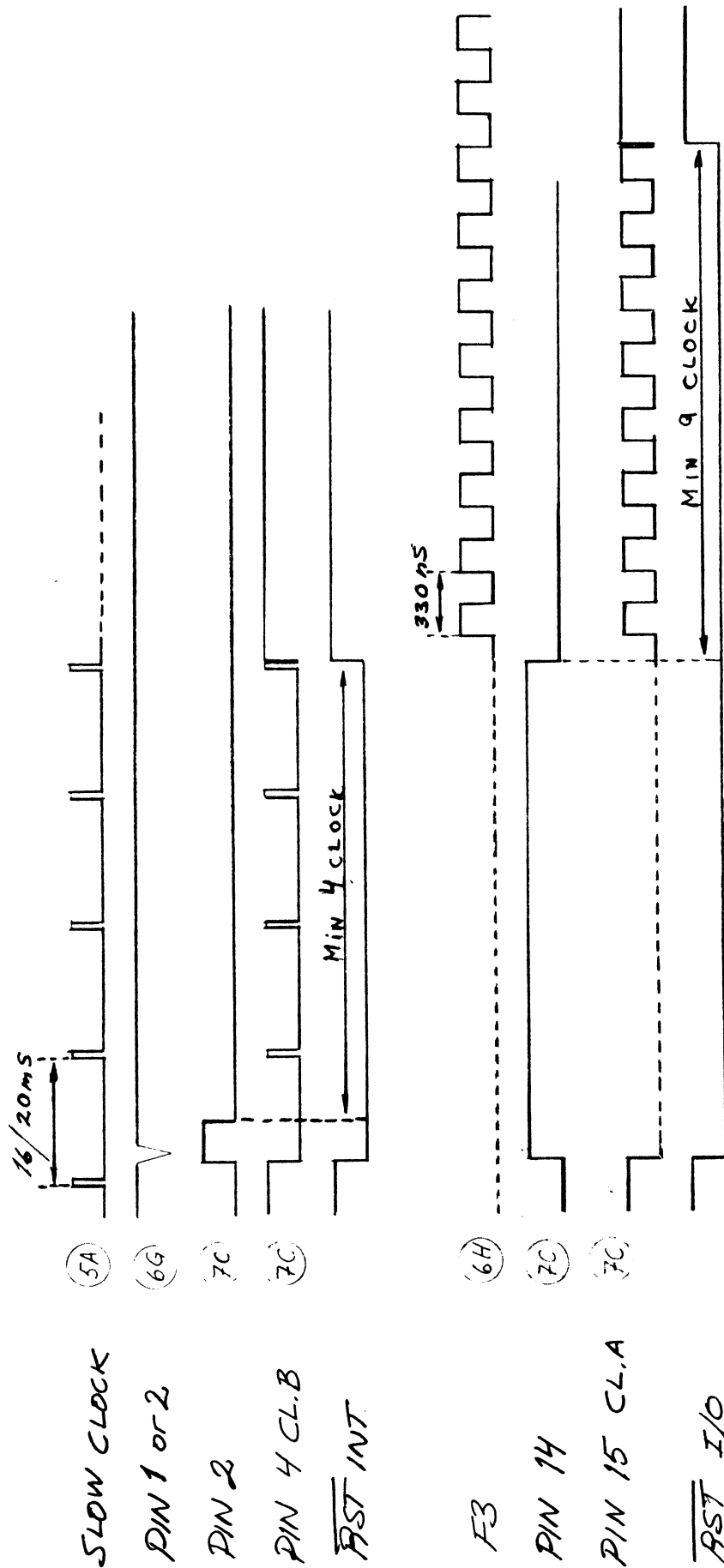


Fig. 5 Intern RESET och I/O RESET

2.1.4 32 kbyte ROM med kontrollkretsar

ROM-arean, som är uppdelad i 8 block om vardera 4 kbyte, består av 8 PROM-kretsar 2732 eller 8 maskprogrammerade ROM-kretsar.

Adressarean är 0000H till 7FFFH. På adress 7800H till 7FFFH ligger samtidigt 2 eller 1 kbyte Video-RAM parallellt inkopplat.

Som tillval kan också ett högupplösningkort anslutas och då kommer ett RAM-minne på 16 kbyte att läggas in parallellt på adress 0000H till 3FFFH.

Med adressbitarna BAO-BA11 (Buffrad Adress) adresserar man sig inom varje block och med adressbitarna A12 till A15 väljer man vilket block som ska adresseras (se tabell adressavkodning).

Kretsen ABC M/C i pos 1M är beroende av variant. I 80-teckens variant med monokrom bildskärm är benämningen ABC M och i 40-teckens variant med färg ska det vara ABC C.

ABC C/M, 1, 2, 3, 4, och 5 innehåller BASIC-interpretatorn och övriga rutiner som behövs för att systemet ska fungera. ABC 6 innehåller Disk Operativ Systemet och i ABC 7, som också kallas Options-PROM, finns drivrutiner för de två V24-kontakterna samt för högupplösningfunktionerna.

Data från ROM-kretsarna läses via en buffert (pos 3L), som också används vid läsning i RAM-arean. Options-PROM:ets data-utgångar ligger däremot anslutna direkt till databussen.

Buffertens två ENABLE-ingångar styrs av signalerna \overline{MRD} och \overline{MOE} . \overline{MRD} , som är en kombination av CPIO-signalerna \overline{MRQ} och \overline{RD} , är aktiv låg var gång läsning görs i minnet. \overline{MOE} (Memory Out Enable) signalen kommer från kombinations grinden LS 51 (pos 6K) och är aktiv låg när minnen som använder sig av bufferten adresseras (0000-6FFF och 8000-FFFF).

\overline{MRD} -signalen används för att göra \overline{OE} på (P)ROM-kretsarna, medan \overline{CE} -ingången till varje krets styrs från 1-av-8 avkodaren i pos 4L. Avkodaren kontrolleras av adressbitarna A12-A15 där A15 används för att göra \overline{ENABLE} på kretsen vilket innebär att adress 0000 till 8000H kommer att avkodas.

Utgångarna på 1-av-8 avkodaren är aktivt låga för respektive 4 kbytes minnesblock och gör \overline{CE} på motsvarande minneskrets.

NAND-grindarna i pos 4M har avkodarens utsignaler 0-6 anslutna till sina ingångar samt ytterligare en insignal 32 KRAM, som är aktiv låg när RAM minnet adresseras. Utgången på stift 8 kommer att vara aktiv hög för alla adresser från 0000H till 3FFFH. Utgången på stift 6 kommer att vara aktiv hög för adresserna 4000H-6FFFH och 8000H-FFFFH. Utsignalerna används som insignaler till AND-grindarna i kretsen LS 51 (pos 6K). AND-grindarna är via en NOR-grind kopplad till utgången på stift 8. Funktionen blir att när någon av AND-grindarnas utgång går hög, inverteras signalen i NOR-grinden och signalen \overline{MOE} blir aktiv, varvid data kan läggas ut via databufferten.

De andra insignalerna till LS 51 används för att koppla bort delar av det interna minnet. Genom att lägga någon av ingångarna låg kommer respektive utgång att ligga låg, varvid signalen \overline{MOE} inte aktiveras. Ingången på stift 9 kan fås att gå låg genom att överbrygga punkt 5-6, varvid signalen XLRAM (Externt Low RAM) släpps igenom. XLRAM-signalen är aktiv låg när adress 8000H till BFFFH läggs ut, vilket gör att när ingång stift 11 går hög går stift 9 låg och signalen \overline{MOE} blir inaktiv. NAND-grinden i pos 6J avger samtidigt EXTM-signalen, som kommer att generera kontrollsignal för externa minnen i den

64-poliga busskontakten.

Om strappning görs över 3-4 kommer det interna DOS (P)ROM:et att kopplas bort på samma sätt.

Om man bytalar över vid 1-2 kommer externa kontrollsignaler att generas för adresser från 7000H till 8000H, där det interna Options-PROM:et är inlagt.

Ska ett externt Options-PROM användas, måste det interna monteras bort.

De två andra ingångarna, stift 1 och stift 12 på LS 51, används på samma sätt för att koppla bort ROM-blocket 0-16 kbytes när läsning eller skrivning i högupplösningskortets RAM-minne görs. Ingångarna kontrolleras av D-vipporna i pos 5L. Vipporna kommer under varje CPU-fetch (M1 är låg) att känna av läget på D-ingångarna. Om någon av ingångarna skulle vara låg kommer motsvarande Q-utgång att gå låg och ligga låg tills nästa CPU-fetch, då D-ingångarna känns av igen. Om en adress 0000H - 4000H läggs ut under den här fasen, kommer det interna ROM-minnet att blockeras genom att någon av ingångarna stift 1 eller stift 12 på LS 51 är låg, när ingång stift 13 går hög. Signalen till stift 13 går samtidigt till NAND-grinden i pos 6G. NAND-grindens ingång stift 12 har via NOR-grinden i pos 6H satts hög av \overline{Q} -invers utgången. Och när den andra ingången går hög kommer signalen \overline{HR} att gå låg, vilket gör att RAM-minnet på högupplösningskortet kommer att adresseras istället för det interna ROM-minnet.

De två D-vipporna i pos 5L har samma funktion, men används vid olika tillfällen. Insignalen till den vänstra D-ingången, \overline{KEYDTR} , kan läggas konstant låg vilket innebär att 16 kbyte RAM är inkopplat där 0-16 kbyte ROM normalt brukar ligga. Den högra D-ingången kontrolleras från utgång Y2 på multiplexern i pos 6L. Multiplexern styrs på Enable ingången av samma signal som gör \overline{CE} på Options-PROM:et, vilket innebär att kretsen bara är aktiv för adressområdet 7000H till 8000H. Select-ingången kontrolleras av adressbit A11 och kommer att vara låg för adress 7000H till 77FFH och hög 7800H till 7FFFH.

Utgången Y2 kommer att vara låg från adress 7800H till 7FFFH, vilket gör att D-vippan kommer att lägga Q-utgången låg när CPU gör en FETCH (M1 låg) på dessa adresser. \overline{Q} -invers utgången går samtidigt hög och kommer via utgång Y1 på multiplexern att göra \overline{OE} på Options-PROM:et och hålla detta aktiverat under hela M1-fasen.

Om det bara varit en läsning eller skrivning på dessa adresser hade D-vippan inte slagit om, utan Q-utgången hade varit hög och via utgång Y4 aktiverat \overline{VR} (Video RAM) signalen. 1 eller 2 kbyte RAM på VU-kortet hade istället kopplats in.

Det här innebär att när CPU gör Fetch på adress 7800H till 7FFFH, så adresseras Options-PROM:et. Om ett högupplösningskort är anslutet så kan data läsas eller skrivas i dess 16 kbyte RAM. Men om adress 7800H till 7FFFH läggs ut för att skriva eller läsa data, så adresseras istället Video RAM.

Om signalen \overline{XM} från den 64-poliga busskontakten (stift 28A) görs aktiv, kommer denna signal att koppla bort hela den interna minnesarean. ROM-arean genom att Enable-ingången på 1-av-8 avkodaren läggs låg och RAM-arean genom att 32 KRAM-signalen inte aktiveras. EXT M-signalen från NAND-grinden i pos 6J kommer att bli aktiv och generera kontrollsignaler på busskontakten för extern minneskontroll.

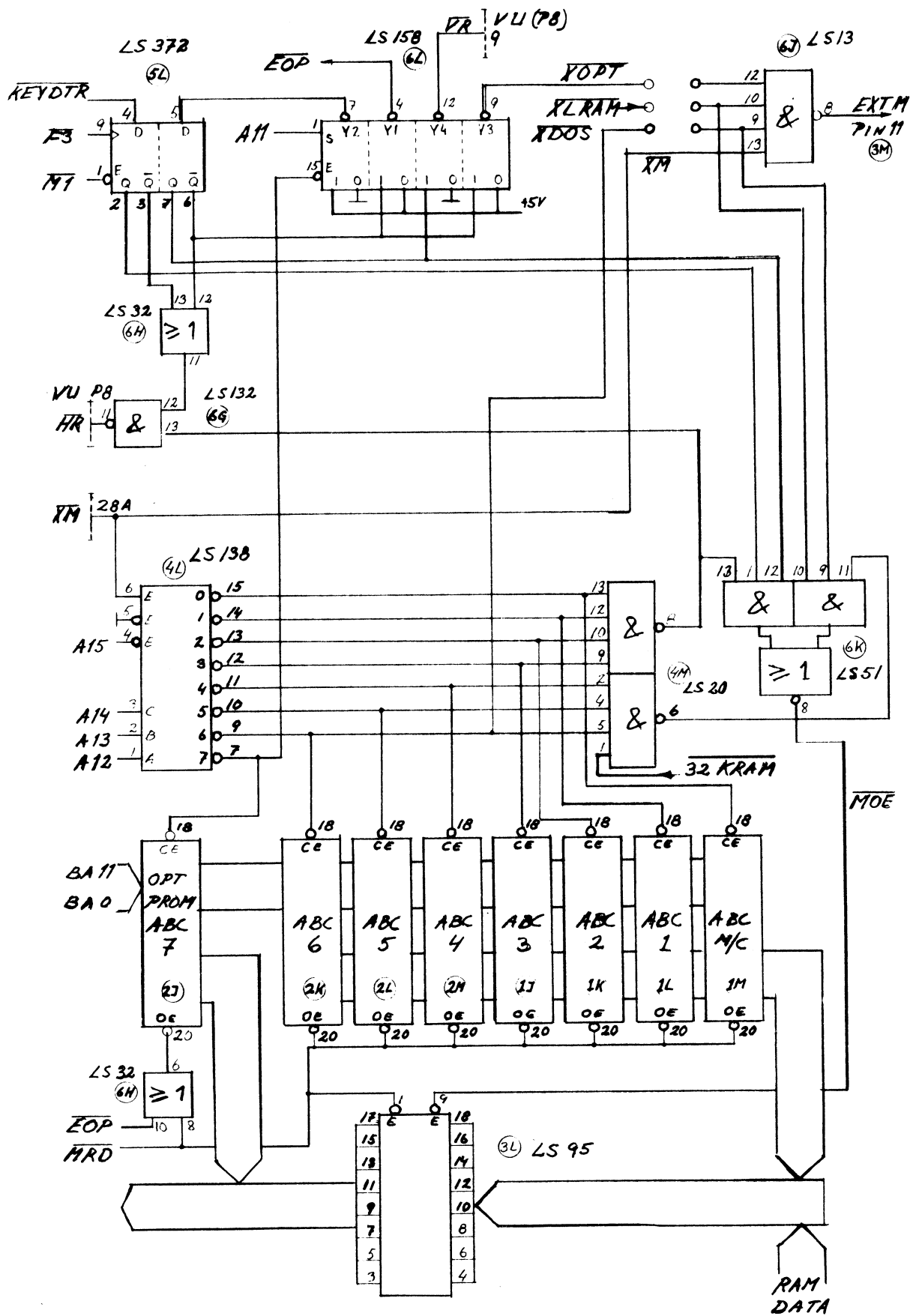


Fig. 6 32 kbyte ROM med kontrollkretsar

Tabell adressavkodning

ADRESSBIT					HEXADR.	BENÄMNING
15	14	13	12	11		
1	1	X	X	X	C000-FFFF	HIGH RAM
1	0	X	X	X	8000-BFFF	LOW RAM
0	1	1	1	1	7800-7FFF	ABC 7 / VIDEORAM
0	1	1	1	0	7000-77FF	ABC 7
0	1	1	0	X	6000-6FFF	ABC 6
0	1	0	1	X	5000-5FFF	ABC 5
0	1	0	0	X	4000-4FFF	ABC 4
0	0	1	1	X	3000-3FFF	ABC 3 / HIGH RES. RAM
0	0	1	0	X	2000-2FFF	ABC 2 / HIGH RES. RAM
0	0	0	1	X	1000-1FFF	ABC 1 / HIGH RES. RAM
0	0	0	0	X	0000-0FFF	ABC C/M / HIGH RES. RAM

2.1.5 32 kbyte RAM med kontrollkretsar

Det dynamiska RAM-minnet på 32 kbytes består av 16 st 4116 med 16 kbit i varje krets. Kretsarna är kopplade så att de bildar två block om vardera 16 kbyte, vilka benämns L(ow)RAM och H(igh)RAM. LRAM har adressarea 8000H till BFFFH och HRAM C000H till FFFFH.

Data läses från RAM-minnet via bufferten i pos 3L, som är gemensam med ROM-minnet. Bufferten kontrolleras med signalerna \overline{MRD} och \overline{MOE} , som har beskrivits tidigare. Vid skrivning av data, läggs data in direkt från bussen till RAM-minnet.

Kretsarna har bara 7 adressgångar, vilket innebär att adresseringen görs i två steg. Först läses radadress in med hjälp av kontrollsignalen \overline{RAS} (Row Address Strobe) och sedan kolumnadress med signalen \overline{CAS} (Column Address Strobe).

RAM-minnet ges refresh genom att varje RAD läses under den senare delen av FETCH-cykeln då CPU lägger ut RFSH-adress på A0-A7.

Adressbitarna BA0-BA13 (BA=Buffrad adress) används för adressering inom blocket. A14 väljer block och A15 används för selektering av RAM-arean. När RAM-minnet adresseras kommer A15 att gå hög och om \overline{XM} -signalen från busskontakten också är hög, kommer utgången på NAND-grinden i pos 6G att gå låg och signalen $\overline{32KRAM}$ blir aktiv.

D-ingången (stift 1) på kretsen i pos 6B sätts hög via NAND-grinden (pos 6G) stift 8. Den andra D-ingången kommer att följa adressbit A14, som läggs in via NOR-grinden i pos 6H (0=LRAM,1=HRAM). När sedan \overline{BMRQ} -signalen till gate-ingången går låg, läses värdet på insignalerna till utgångarna och NAND-grinden, som har inversen av \overline{BMRQ} som insignal, kommer att avge \overline{RAS} till RAM-kretsarna.

När \overline{RAS} -signalen avges, kommer adressbit BA7-BA13, som är inkopplade via multiplexrarna i pos 3H och 3A, att läsas in som radadress. Signalen MUX, som kontrollerar select-ingången till multiplexerkretsarna, ska nu gå låg för att koppla in BA0-BA6 som kolumnadress till RAM-kretsarna. MUX-signalen kommer från 0-utgången på vippan i pos 3G. Vippan har \overline{BMRQ} som insignal. Vippan triggas av signalen F3, som har samma fasläge och frekvens som CPU-klockan. Detta gör att när \overline{BMRQ} går låg tar det ca 80 ns innan vippan triggas, varvid MUX-signalen går låg och kolumnadressen läggs in till RAM-kretsarna.

För att kolumnadressen ska läsas in måste signalen \overline{CAS} aktiveras. Detta görs via multiplexerns utgång Y4, som kommer att bli låg när select-ingången går låg ($\overline{RFSH}=1$). Signalen fördröjs i RC-nätet (kolumnadressen ska hinna bli stabil innan \overline{CAS} blir aktiv), inverteras och läggs in till de två NAND-grindarna i pos 3C.

Vilken av de två NAND-grindarna som kommer att avge \overline{CAS} , bestäms av bit A14, som tidigare ställt Q- och \overline{Q} -invers utgången på D-vippan.

Om data ska skrivas eller läsas i RAM-minnet, bestäms med signalen \overline{MRD} , som via D-vippan i pos 3G kontrollerar \overline{WR} -ingången på RAM-kretsarna. \overline{MRD} är en kombination av CPU-signalerna \overline{MRQ} och \overline{RD} och är aktiv låg när CPU vill läsa i minnet.

När en läsning görs i RAM-minnet kommer $\overline{32KRAM}$ -signalen att via blockavkodningen (som beskrivits tidigare), göra signalen \overline{MOE} på databufferten aktiv låg. \overline{MRD} blir också låg och bufferten lägger ut adresserade data på bussen.

Refresh av RAM-minnet görs under den senare delen av varje instruktionscykel, genom att CPU lägger ut en adress på BAO-BA7 samt aktiverar RFSH och BMRQ-signalerna. RFSH-signalen kommer via NAND-grinden i pos 6G, D-vippan och NAND-grinden i pos 3C att avge RAS.

MUX-signalen, som kontrolleras av BMRQ via D-vippan i pos 3G, kommer att vara låg på grund av den tidigare hämtade instruktionen (se funktionsdiagram). BAO-BA6 kommer att läsas in som radadress vid RFSH.

Den nedre D-vippan i pos 3G används som frekvensdelare och delar F3 med 2 samt ger 1,5 MHz timer-signal till CTC-kretsen.

\overline{XM} -signalen från stift 28A i den 64-poliga buskontakten kommer, om den aktiveras, att koppla bort hela den interna minnesaren. RAM-minnet kopplas bort genom att NAND-grinden (pos 6G) spärras så att 32KRAM-signalen, som används för att öppna databufferten, inte aktiveras.

\overline{RFSH} av RAM-minnet görs även om externt minne används.

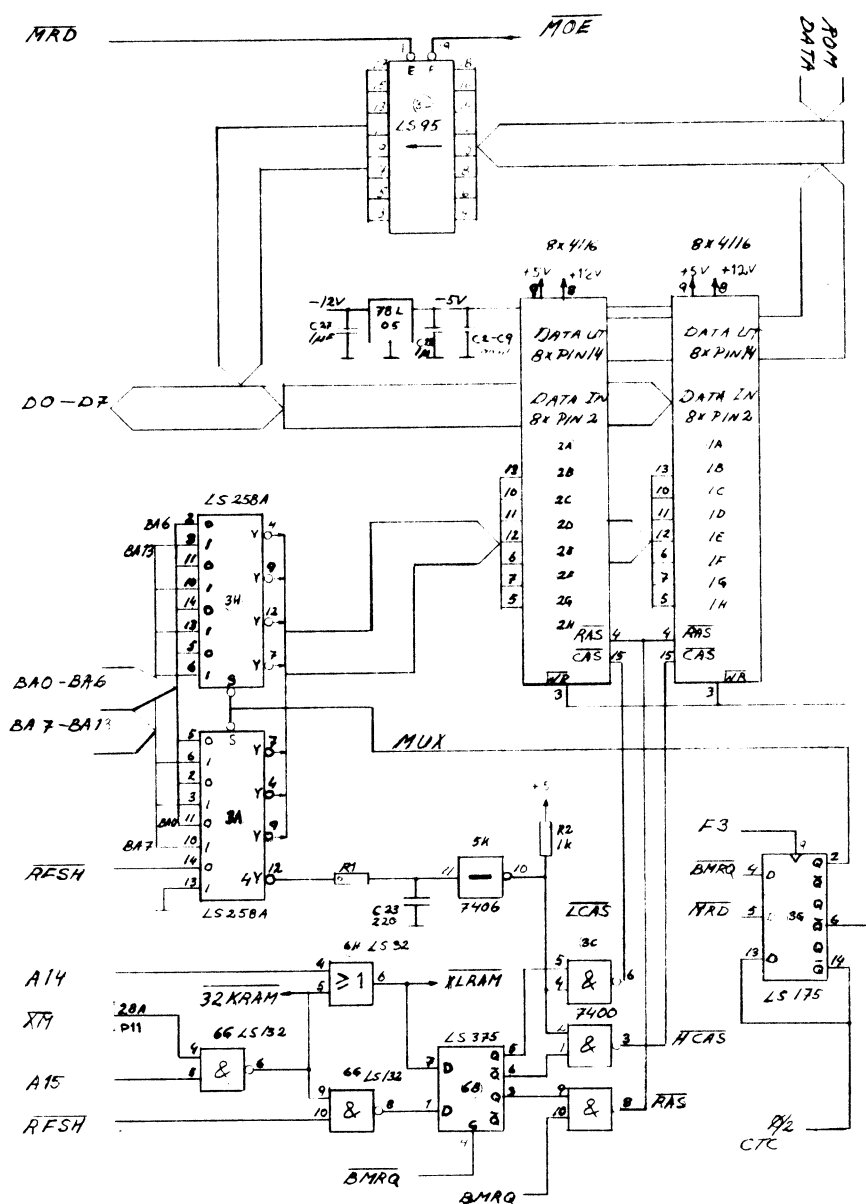


Fig 7 32 kbyte RAM med kontrollkretsar

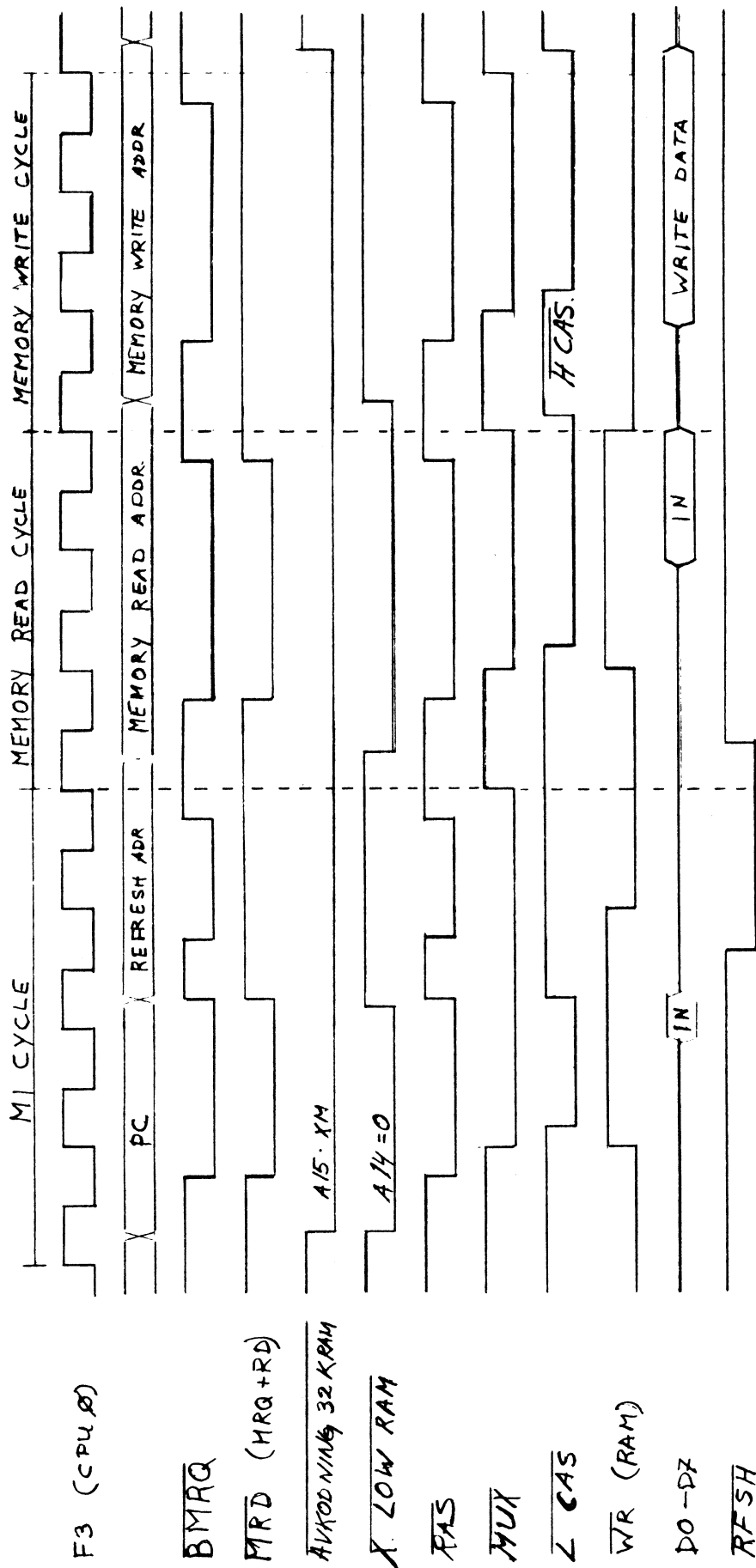
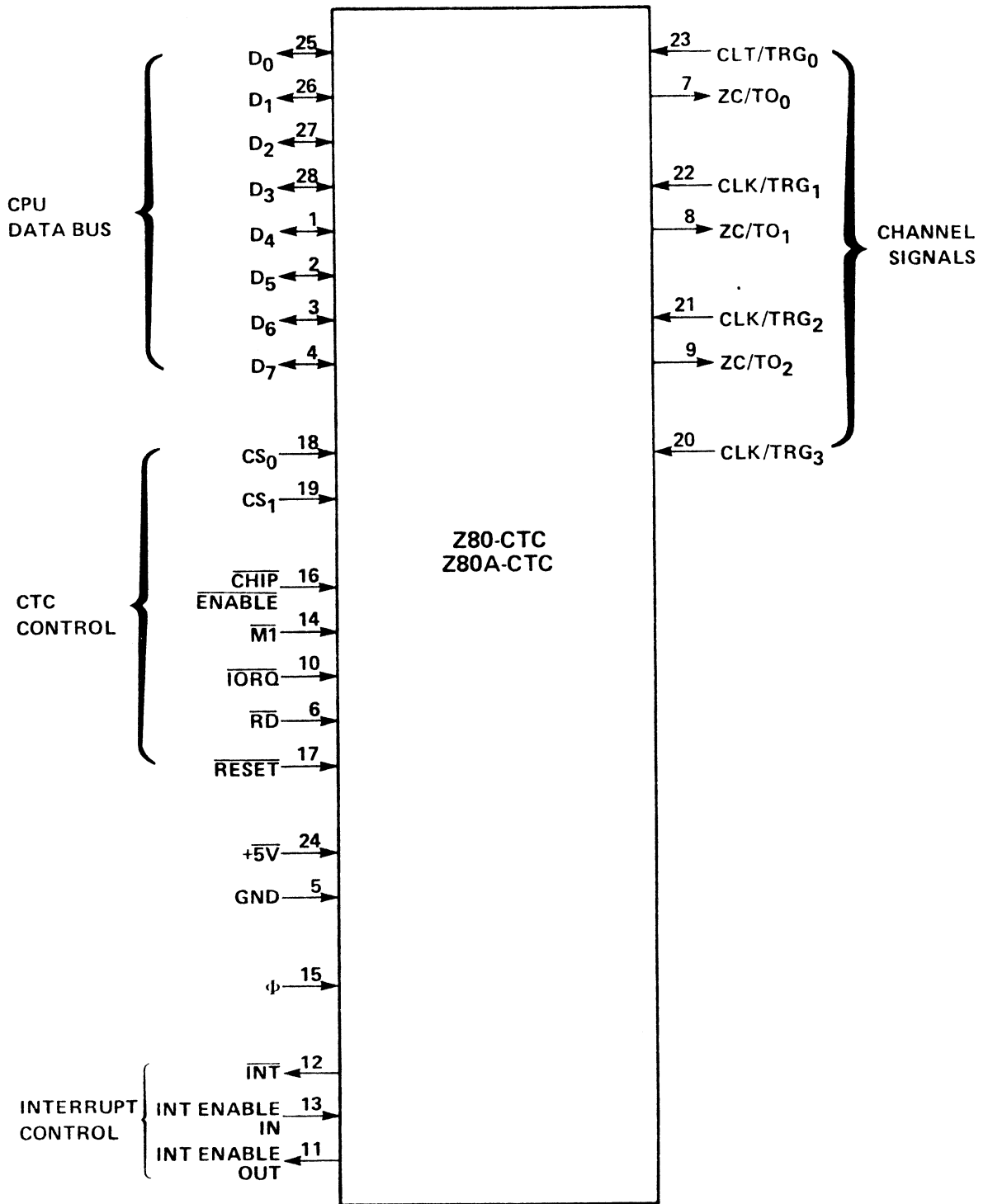


Fig. 8 Kontrollsignaler 32 kbyte RAM

2.1.6 CTC



A diagram of the Z80-CTC pin configuration is shown in figure 3.0-1. This section describes the function of each pin.

D7 -- D0

Z80 CPU Data Bus (bi-directional, tri-state)

This bus is used to transfer all data and command words between the Z80-CPU and the Z80-CTC. There are 8 bits on this bus, of which D0 is the least significant.

CS1 -- CS0

Channel Select (input, active high)

These pins form a 2-bit binary address code for selecting one of the four independent CTC channels for an I/O Write or Read. (See truth table below.)

	CS1	CS0
Ch 0	0	0
Ch 1	0	1
Ch 2	1	0
Ch 3	1	1

\overline{CE}

Chip Enable (input, active low)

A low level on this pin enables the CTC to accept control words, Interrupt Vectors, or time constant data words from the Z80 Data Bus during an I/O Write cycle, or to transmit the contents of the Down Counter to the CPU during an I/O Read cycle. In most applications this signal is decoded from the 8 least significant bits of the address bus for any of the four I/O port addresses that are mapped to the four Counter/Timer Channels.

Clock (Φ)

System Clock (input)

This single-phase clock is used by the CTC to synchronize certain signals internally.

\overline{MI}

Machine Cycle One Signal from CPU (input, active low)

When \overline{MI} is active and the \overline{RD} signal is active, the CPU is fetching an instruction from memory. When \overline{MI} is active and the \overline{IORQ} signal is active, the CPU is acknowledging an interrupt, alerting the CTC to place an Interrupt Vector on the Z80 Data Bus if it has daisy chain priority and one of its channels has requested an interrupt.

\overline{IORQ}

Input/Output Request from CPU (input, active low)

The \overline{IORQ} signal is used in conjunction with the \overline{CE} and \overline{RD} signals to transfer data and Channel Control Words between the Z80-CPU and the CTC. During a CTC Write Cycle, \overline{IORQ} and \overline{CE} must be true and \overline{RD} false. The CTC does not receive a specific write signal, instead generating its own internally from the inverse of a valid \overline{RD} signal. In a CTC Read Cycle, \overline{IORQ} , \overline{CE} and \overline{RD} must be active to place the contents of the Down Counter on the Z80 Data Bus. If \overline{IORQ} and \overline{MI} are both true, the CPU is acknowledging an interrupt request, and the highest-priority interrupting channel will place its Interrupt Vector on the Z80 Data Bus.

\overline{RD}

Read Cycle Status from the CPU (input, active low)

The \overline{RD} signal is used in conjunction with the \overline{IORQ} and \overline{CE} signals to transfer data and Channel Control Words between the Z80-CPU and the CTC. During a CTC Write Cycle, \overline{IORQ} and \overline{CE} must be true and \overline{RD} false. The CTC does not receive a specific write signal, instead generating its own internally from the inverse of a valid \overline{RD} signal. In a CTC Read Cycle, \overline{IORQ} , \overline{CE} and \overline{RD} must be active to place the contents of the Down Counter on the Z80 Data Bus.

IEI

Interrupt Enable In (input, active high)

This signal is used to help form a system-wide interrupt daisy chain which establishes priorities when more than one peripheral device in the system has interrupting capability. A high level on this pin indicates that no other interrupting devices of higher priority in the daisy chain are being serviced by the Z80-CPU.

IEO

Interrupt Enable Out (output, active high)

The IEO signal, in conjunction with IEI, is used to form a system-wide interrupt priority daisy chain. IEO is high only if IEI is high and the CPU is not servicing an interrupt from any CTC channel. Thus this signal blocks lower priority devices from interrupting while a higher priority interrupting device is being serviced by the CPU.

\overline{INT}

Interrupt Request (output, open drain, active low)

This signal goes true when any CTC channel which has been programmed to enable interrupts has a zero-count condition in its Down Counter.

\overline{RESET}

Reset (input, active low)

This signal stops all channels from counting and resets channel interrupt enable bits in all control registers, thereby disabling CTC-generated interrupts. The ZC/TO and \overline{INT} outputs go to their inactive states, IEO reflects IEI, and the CTC's data bus output drivers go to the high impedance state.

CLK/TRG3 - CLK/TRG0

External Clock/Timer Trigger (input, user-selectable active high or low)

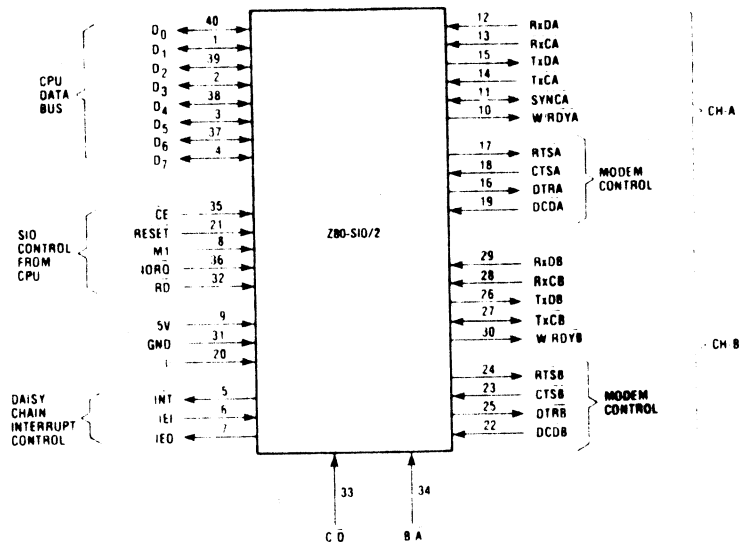
There are four CLK/TRG pins, corresponding to the four independent CTC channels. In the Counter Mode, every active edge on this pin decrements the Down Counter. In the Timer Mode, an active edge on this pin initiates the timing function. The user may select the active edge to be either rising or falling.

ZC/TO2 - AC/TO0

Zero Count Timeout (output, active high)

There are three ZC/TO pins, corresponding to CTC channels 2 through 0. (Due to package pin limitations channel 3 has no ZC/TO pin.) In either Counter Mode or Timer Mode, when the Down Counter decrements to zero an active high going pulse appears at this pin.

2.1.7 SIO/2



D₀-D₇. *System Data Bus* (bidirectional, 3-state). The system data bus transfers data and commands between the CPU and the Z80-SIO. D₀ is the least significant bit.

B/ \bar{A} . *Channel A Or B Select* (input, High selects Channel B). This input defines which channel is accessed during a data transfer between the CPU and the Z80-SIO. Address bit A₀ from the CPU is often used for the selection function.

C/ \bar{D} . *Control Or Data Select* (input, High selects Control). This input defines the type of information transfer performed between the CPU and the Z80-SIO. A High at this input during a CPU write to the Z80-SIO causes the information on the data bus to be interpreted as a command for the channel selected by B/ \bar{A} . A Low at C/ \bar{D} means that the information on the data bus is data. Address bit A₁ is often used for this function.

$\bar{C}E$. *Chip Enable* (input, active Low). A Low level at this input enables the Z80-SIO to accept command or data inputs from the CPU during a write cycle, or to transmit data to the CPU during a read cycle.

ϕ . *System Clock* (input). The Z80-SIO uses the standard Z80A System Clock to synchronize internal signals. This is a single-phase clock.

$\bar{M}1$. *Machine Cycle One* (input from Z80-CPU, active Low). When $\bar{M}1$ is active and $\bar{R}D$ is also active, the Z80-CPU is fetching an instruction from memory; when $\bar{M}1$ is active while $\bar{I}O\bar{R}Q$ is active, the Z80-SIO accepts $\bar{M}1$ and $\bar{I}O\bar{R}Q$ as an interrupt acknowledge if the Z80-SIO is the highest priority device that has interrupted the Z80-CPU.

$\bar{I}O\bar{R}Q$. *Input/Output Request* (input from CPU, active Low). $\bar{I}O\bar{R}Q$ is used in conjunction with B/ \bar{A} , C/ \bar{D} , $\bar{C}E$ and $\bar{R}D$ to transfer commands and data between the CPU and the Z80-SIO. When $\bar{C}E$, $\bar{R}D$ and $\bar{I}O\bar{R}Q$ are all active, the channel selected by B/ \bar{A} transfers data to the CPU (a read operation). When $\bar{C}E$ and $\bar{I}O\bar{R}Q$ are active, but $\bar{R}D$ is inactive, the channel selected by B/ \bar{A} is written to by the CPU with either data or control information as specified by C/ \bar{D} . As mentioned previously, if $\bar{I}O\bar{R}Q$ and $\bar{M}1$ are active simultaneously, the CPU is acknowledging an interrupt and the Z80-SIO automatically places its interrupt vector on the CPU data bus if it is the highest priority device requesting an interrupt.

$\bar{R}D$. *Read Cycle Status*. (input from CPU, active Low). If $\bar{R}D$ is active, a memory or I/O read operation is in progress. $\bar{R}D$ is used with B/ \bar{A} , $\bar{C}E$ and $\bar{I}O\bar{R}Q$ to transfer data from the Z80-SIO to the CPU.

$\bar{R}E\bar{S}E\bar{T}$. *Reset* (input, active Low). A Low $\bar{R}E\bar{S}E\bar{T}$ disables both receivers and transmitters, forces TxDA and TxDB marking, forces the modem controls High and disables all interrupts. The control registers must be rewritten after the Z80-SIO is reset and before data is transmitted or received.

$\bar{I}E1$. *Interrupt Enable In* (input, active High). This signal is used with $\bar{I}E0$ to form a priority daisy chain when there is more than one interrupt-driven device. A High on this line indicates that no other device of higher priority is being serviced by a CPU interrupt service routine.

$\bar{I}E0$. *Interrupt Enable Out* (output, active High). $\bar{I}E0$ is High only if $\bar{I}E1$ is High and the CPU is not servicing an interrupt from this Z80-SIO. Thus, this signal blocks lower priority devices from interrupting while a higher priority device is being serviced by its CPU interrupt service routine.

INT. *Interrupt Request* (output, open drain, active Low). When the Z80-SIO is requesting an interrupt, it pulls INT Low.

W/RDYA, W/RDYB. *Wait/Ready A, Wait/Ready B* (outputs, open drain when programmed for Wait function, driven High and Low when programmed for Ready function). These dual-purpose outputs may be programmed as Ready lines for a DMA controller or as Wait lines that synchronize the CPU to the Z80-SIO data rate. The reset state is open drain.

CTSA, CTSB. *Clear To Send* (inputs, active Low). When programmed as Auto Enables, a Low on these inputs enables the respective transmitter. If not programmed as Auto Enables, these inputs may be programmed as general-purpose inputs. Both inputs are Schmitt-trigger buffered to accommodate slow-risetime inputs. The Z80-SIO detects pulses on these inputs and interrupts the CPU on both logic level transitions. The Schmitt-trigger inputs do not guarantee a specified noise-level margin.

DCDA, DCDB. *Data Carrier Detect* (inputs, active Low). These signals are similar to the CTS inputs, except they can be used as receiver enables.

RxDA, RxDB. *Receive Data* (inputs, active High).

TxDA, TxDB. *Transmit Data* (outputs, active High).

RxCA, RxCB.* *Receiver Clocks* (inputs). See the following section on bonding options. The Receive Clocks may be 1, 16, 32 or 64 times the data rate in asynchronous modes. Receive data is sampled on the rising edge of \overline{RxC} .

TxCA, TxCB.* *Transmitter Clocks* (inputs). See section on bonding options. In asynchronous modes, the Transmitter clocks may be 1, 16, 32 or 64 times the data rate. The multiplier for the transmitter and the receiver must be the same. Both the \overline{TxC} and \overline{RxC} inputs are Schmitt-trigger buffered for relaxed rise- and fall-time requirements (no noise margin is specified). TxD changes on the falling edge of \overline{TxC} .

RTSA, RTSB. *Request To Send* (outputs, active Low). When the RTS bit is set, the \overline{RTS} output goes Low. When the RTS bit is reset in the Asynchronous mode, the output goes High after the transmitter is empty. In Synchronous modes, the \overline{RTS} pin strictly follows the state of the RTS bit. Both pins can be used as general-purpose outputs.

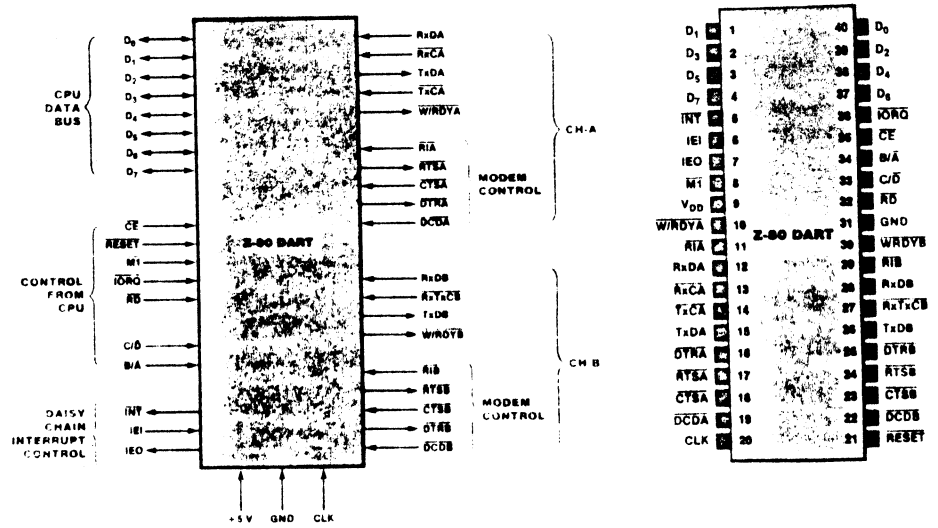
DTRA, DTRB. *Data Terminal Ready* (outputs, active Low). See note on bonding options. These outputs follow the state programmed into the DTR bit. They can also be programmed as general-purpose outputs.

SYNC A, SYNC B. *Synchronization* (inputs/outputs, active Low). These pins can act either as inputs or outputs. In the Asynchronous Receive mode, they are inputs similar to \overline{CTS} and \overline{DCD} . In this mode, the transitions on these lines affect the state of the Sync/Hunt status bits in RR0. In the External Sync mode, these lines also act as inputs. When external synchronization is achieved, \overline{SYNC} must be driven Low on the second rising edge of \overline{RxC} after that rising edge of \overline{RxC} on which the last bit of the sync character was received. In other words, after the sync pattern is detected, the external logic must wait for two full Receive Clock cycles to activate the \overline{SYNC} input. Once \overline{SYNC} is forced Low, it is wise to keep it Low until the CPU informs the external sync logic that synchronization has been lost or a new message is about to start. Character assembly begins on the rising edge of \overline{RxC} that immediately precedes the falling edge of \overline{SYNC} in the External Sync mode.

In the Internal Synchronization mode (Monosync and Bisync), these pins act as outputs that are active during the part of the receive clock (\overline{RxC}) cycle in which sync characters are recognized. The sync condition is not latched, so these outputs are active each time a sync pattern is recognized, regardless of character boundaries.

- Z80-SIO/2 sacrifices \overline{SYNCB} and keeps \overline{TxCB} , \overline{RxCB} and \overline{DTRB} (Fig. 3).

2.1.8 DART



B/A. *Channel A Or B Select* (input, High selects Channel B). This input defines which channel is accessed during a data transfer between the CPU and the Z-80 DART.

C/D. *Control Or Data Select* (input, High selects Control). This input specifies the type of information (control or data) transferred on the data bus between the CPU and the Z-80 DART.

CE. *Chip Enable* (input, active Low). A Low at this input enables the Z-80 DART to accept command or data input from the CPU during a write cycle, or to transmit data to the CPU during a read cycle.

CLK. *System Clock* (input). The Z-80 DART uses the standard Z-80 single phase system clock to synchronize internal signals.

CTSA, CTSB. *Clear To Send* (inputs, active Low). When programmed as Auto Enables, a Low on these inputs enables the respective transmitter. If not programmed as Auto Enables, these inputs may be programmed as general-purpose inputs. Both inputs are Schmitt-trigger buffered to accommodate slow-risetime signals.

D₀-D₇. *System Data Bus* (bidirectional, 3-state) transfers data and commands between the CPU and the Z-80 DART.

DCDA, DCDB. *Data Carrier Detect* (inputs, active Low). These pins function as receiver enables if the Z-80 DART is programmed for Auto Enables; otherwise they may be used as general-purpose input pins. Both pins are Schmitt-trigger buffered.

DTRA, DTRB. *Data Terminal Ready* (outputs, active Low). These outputs follow the state programmed into the DTR bit. They can also be programmed as general-purpose outputs.

IEI. *Interrupt Enable In* (input, active High) is used with IEO to form a priority daisy chain when there is more than one interrupt-driven device. A High on this line indicates that no other device of higher priority is being serviced by a CPU interrupt service routine.

IEO. *Interrupt Enable Out* (output, active High). IEO is High only if IEI is High and the CPU is not servicing an interrupt from this Z-80 DART. Thus, this signal blocks lower priority devices from interrupting while a higher priority device is being serviced by its CPU interrupt service routine.

INT. *Interrupt Request* (output, open drain, active Low). When the Z-80 DART is requesting an interrupt, it pulls INT Low.

MI. *Machine Cycle One* (input from Z-80 CPU, active Low). When MI and RD are both active, the Z-80 CPU is fetching an instruction from memory; when MI is active while IORQ is active, the Z-80 DART accepts MI and IORQ

as an interrupt acknowledge if the Z-80 DART is the highest priority device that has interrupted the Z-80 CPU.

IORQ. *Input Output Request* (input from CPU, active Low). IORQ is used in conjunction with B/A, C/D, CE and RD to transfer commands and data between the CPU and the Z-80 DART. When CE, RD and IORQ are all active, the channel selected by B/A transfers data to the CPU (a read operation). When CE and IORQ are active, but RD is inactive, the channel selected by B/A is written to by the CPU with either data or control information as specified by C/D.

RxCA, RxCB. *Receiver Clocks* (inputs). Receive data is sampled on the rising edge of RxC. The Receive Clocks may be 1, 16, 32 or 64 times the data rate.

RI. *Read Cycle Status* (input from CPU, active Low). If RD is active, a memory or I/O read operation is in progress.

RxDA, RxDB. *Receive Data* (inputs, active High).

RESET. *Reset* (input, active Low). Disables both receivers and transmitters, forces TxD_A and TxD_B marking, forces the modem controls High and disables all interrupts.

RIA, RIB. *Ring Indicator* (inputs, Active Low). These inputs are similar to CTS and DCD. The Z-80 DART detects both logic level transitions and interrupts the CPU. When not used in switched-line applications, these inputs can be used as general-purpose inputs.

RTSA, RTSB. *Request to Send* (outputs, active Low). When the RTS bit is set, the RTS output goes Low. When the RTS bit is reset, the output goes High after the transmitter empties.

TxCA, TxCB. *Transmitter Clocks* (inputs). TxD changes on the falling edge of TxC. The Transmitter Clocks may be 1, 16, 32 or 64 times the data rate; however, the clock multiplier for the transmitter and the receiver must be the same. The Transmit Clock inputs are Schmitt-trigger buffered. Both the Receiver and Transmitter Clocks may be driven by the Z-80 CTC Counter Time Circuit for programmable baud rate generation.

TxDA, TxDB. *Transmit Data* (outputs, active High).

WRDYA, WRDYE. *Wait/Ready* (outputs, open drain when programmed for Wait function, driven High and Low when programmed for Ready function). These dual-purpose outputs may be programmed as Ready lines for a DMA controller or as Wait lines that synchronize the CPU to the Z-80 DART data rate. The reset state is open drain.

2.2 VU/M-kortet (80 tecken)

2.2.1 Blockschemabeskrivning

VU-kortet genererar klocksignaler till PU-kortet samt video- och synksignaler till bildskärmen, se fig 9.

Klocksignalerna kommer från en kristallstyrd oscillator med frekvensen 12 MHz. Med en frekvensdelare delas den ned till 6 MHz, 3MHz och 2MHz.

12 MHz används endast internt på VU-kortet för klockning av olika kretsar samt för utskiftning av videosignalen (Dot Clock).

6 MHz kopplas via VU-kontakten till PU-kortet där den delas ned till 3 MHz för att sedan användas som systemklocka.

2 MHz (Character Clock) används för att klocka CRTC-kretsen, lägga ut data till teckengeneratoren samt ladda bitmönster till skiftregistret.

CRTC (Cathode Ray Tube Controller) är en programmerbar controller-krets som används för att generera vertikal och horisontal synksignal, avsökningsadresser till videominnet, linjeadresser för teckengeneratoren och kontrollsignaler för cursor positionering och bildplacering.

Videominnet är ett 2 kbytes statisk RAM, som är uppdelat i två block om vardera 1 kbytes. Minnet har delats upp på detta sätt för att CPU ska kunna läsa och skriva in information, utan att råka i konflikt med den normala avsökningen som CRTC-kretsen gör.

En bild är uppbyggd av 24 rader med 80 tecken på varje rad. Med 80 tecken på varje rad ska ett tecken läggas ut var 0,5 :e uS vilket gör att videominnet skulle behöva läsas med 0,5 uS mellanrum. När CPU gör en läsning eller skrivning behöver den ha tillgång till videominnet i minst 0,66 uS.

CRTC-kretsen lägger i takt med Character Clock (0.5us) ut adressbitar LA0-LA9 på adressbussen.

Adressbitarna LA1-LA9 läggs in till videominnet via multiplexerkretsen och adresserar bägge blocken samtidigt och data från minnet läggs ut till latcharna. De två första låskretsarna efter minnesblocken kontrolleras av signalen CPU/CRTC och hålls öppna när CRTC-kretsen adresserar videominnet. De två efterföljande låskretsarna styrs i sin tur av adressbit LA0, vilket gör att en av kretsarna alltid är öppen och en alltid är stängd.

Data från ett av blocken kommer via den låskrets som är öppen att släppas fram till ytterligare en låskrets som i sin tur lägger in data till teckengeneratoren när den enablas av Character Clock.

När sedan controller-kretsen ökar adressen med ett kommer LA0 att byta värde och den andra låskretsens öppnas för att lägga ut de data den har på ingångarna. Detta innebär att läsning i videominnet bara behöver göras med 1 us mellanrum och CPU hinner att göra en läs eller skriv-operation utan att behöva vänta på access till videominnet.

När CPU skriver eller läser i videominnet kommer multiplexern att selekteras och koppla in CPU:s adressbitar BA1-BA9 för att adressera bägge minnesblocken, medan adressbit BA0 får aktivera en av buffertkretsarna och välja vilket minnesblock som adresseras.

Samtidigt som CPU adresserar videominnet kommer den att aktivera signalen CPU/CRTC, som påverkar låskretsarna som är anslutna till videominnets data-utgångar så att dessa sparar de data som finns på utgångarna. De efterföljande låskretsarna kan sedan vid rätt tidpunkt leverera data till teckengeneratoren.

Teckengeneratoren är ett 2 kbytes EPROM. Data från videominnet (ASCII-kod) och linjeadressen från CRTC bildar tillsammans en adress och ett bitmönster läggs ut till skiftregistret. Bitmönstret laddas in i skiftregistret med Character Clock (2MHz) och skiftas ut med Dot Clock 12MHz och bildar video-signalen.

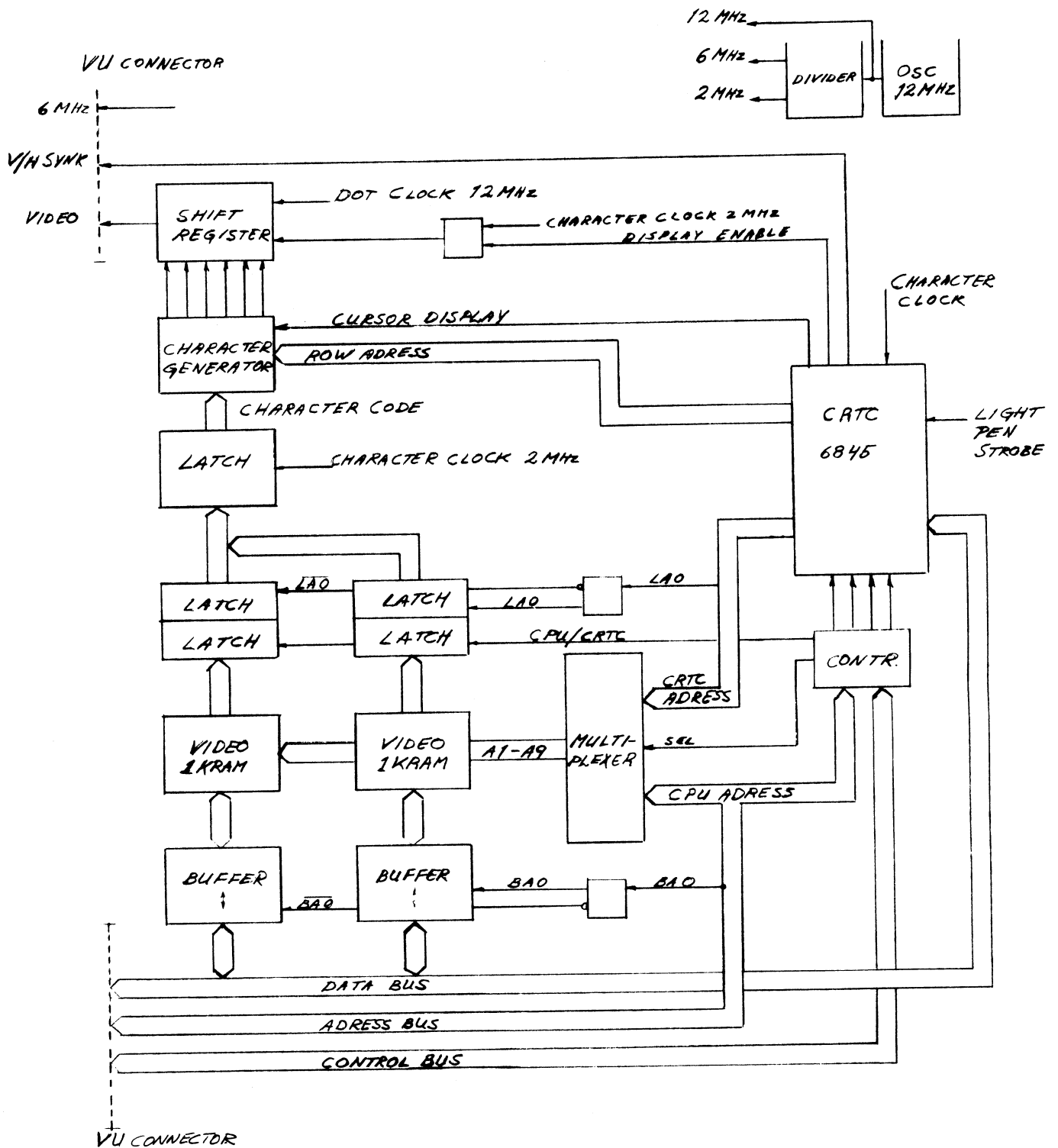


Fig 9 Blockschemat VUM-kortet

2.2.2 VU/M klocksignaler

Kristallen på 12 MHz tillsammans med de två inverterarna och RC-nätet bildar en oscillator, som avger en puls med frekvensen 12 MHz, se fig 10. Signalen läggs via en inverterare, som fungerar som buffert, in till klockingången på räknaren i pos 6D. Räknarens ingångar ABCD är programmerade till värdet 13, som laddas in som begynnelsevärde var gång som Load-ingången (stift) 9 blir låg. När Load-ingången går hög kommer räknarens utgångar att räknas upp från 13 i takt med pulserna på clock-ingången. När räknarens utgångar får värdet 15 kommer också utgången RC (Rippel Carry) att bli aktiv och via en inverterare läggs fram till ingången på en av de tre D-vipporna i pos 6E.

D-vipporna klockas av samma signal som räknaren och är kopplade så att det tar tre klockpulser innan RC-signalen aktiverar Load-ingången på räknaren. Räknaren kommer följaktligen att räkna 13, 14, 15, 0, 1 och 2. Därefter blir Load-ingången aktiv och förloppet upprepas.

Oa-utgången (6 MHz) på räknaren är kopplad till VU-kontakten och används efter delning med 2 som systemklocka på PU-kortet.

Qc-utgången (2MHz) används som Character Clock-signal till CRTC-kretsen.

RC och \overline{RC} (2MHz) är aktiva under den senare delen av Character Clock-signalen och används för att lägga ut adresser till videominnet, läsa ut data från teckengeneratoren och ladda skiftregistret.

Signalen $\overline{I3}$ från JK-vippan i pos 6A är en inverterad kopia av CPU-klockan. Signalen $\overline{F3}$ till J-ingången är också en inverterad CPU-klocka, men för att säkerställa att fasläget är riktigt i förhållande till CPU-klockan triggas vippan med samma 6 MHz-signal som genererar CPU-klockan. $\overline{I3}$ används sedan som klocksignal och för infasning av CPU- och CRTC-kretsarna.

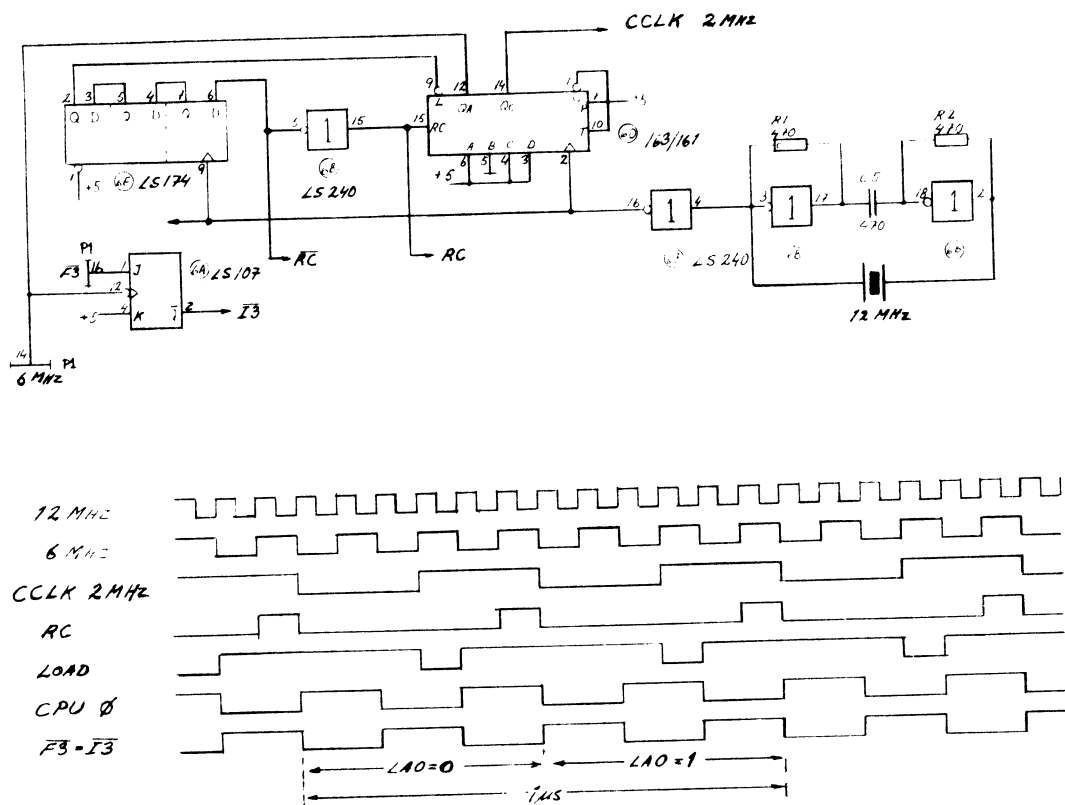


Fig 10 VU/M klocksignaler

2.2.3 CRTC I/O adressering mm

CRTC-kretsen 6845 är som tidigare nämnts en programmerbar controller-krets, som bland annat används för generering av vertikala och horisontala synkpulser till bildskärmen. Innan den kan börja leverera dessa signaler måste den programmeras för att få rätt funktion.

Programmeringen av kretsen görs vid uppstart eller reset av systemet. Antalet register som ska programmeras för att kretsen ska fungera är 16 st (R0 till R15). I registren läggs värden som bland annat bestämmer frekvens och tid för V- och H-synk och Display Enable. Tidsdiagram och programmerade värden för dessa signaler visas i fig 12.

Controller-kretsen behandlas som en intern I/O-enhet och har adresserna 49, 56 och 57. Med instruktionen Out 56,(Rn) adresserar man ett av de 18 register som finns. Med Out 57, Data skrivs sedan data till adresserat register. Inp(49) läser adresserat register. Läsbara register är endast Light Pen register R16 och R17. (Ett programexempel av en CRTC-initiering i Basic visas längre fram.)

I/O-adresserna avkodas på VU-kortet och genererar signalerna \overline{CS} (Chip Select), RS (Register Select), R/W (Read eller Write) och \overline{E} (Enable) till CRTC-kretsen.

Adressbitarna BA4-BA7 avkodas av en OR-grind (pos 1A) och en NAND-grind (pos 1B), som gör \overline{CS} -signalen aktiv när BA4,BA5 är 1 och BA6,BA7 är 0.

RS-ingångens nivå, som kontrolleras av BA0, bestämmer om data på bussen ska tolkas som registeradress (RS=Låg) eller data till ett adresserat register (RS=Hög).

BA3 kontrollerar via XOR-grinden (pos 1C) R/W-ingången. BA3 hög aktiverar Write.

Enable-ingången aktiveras vid läsning, via XOR-grinden (pos 1C, stift 6) och den nedre av NOR-grindarna i pos 1A, av signalerna \overline{IORQ} , \overline{RD} och BA3. Vid skrivning görs Enable av \overline{IORQ} , \overline{WR} och BA3 via NAND-grinden i pos 5A, den övre NOR-grinden och XOR-grinden.

H- och V-synk tas ut från stift 39,40 och läggs via XOR-grinden ihop så att man får en sammansatt synksignal, som sedan läggs ut till bildskärmen.

DEW (Data Entry Window) används för att synkronisera bildstart för HR-kortet med VU-kortets bildstart.

CCLK-signalen till klock-ingången stift 21 används för synkronisering av alla kontrollsignaler ut från CRT-kretsen.

MA0-MA10 är radavsökningsadresser till videominnet. Avsökningen startar på rad 0, pos 0 med adress 30720 (7800H). Raderna ligger sedan i en följd, rad 0 = 30720-30799, rad 1 = 30800-30879 osv. Varje teckenrad, som visas på bildskärmen, är uppbyggd av 10 linjer vilket gör att varje rad i bildminnet läses 10 gånger. Linjeadressen på utgångarna RA0-RA3 (0-9) bestämmer vilken linje på raden som är aktuell.

MA1-MA10 är via två LS 378 (pos 1G,1F) kopplade till videominnet. Kretsarna klockas av 12MHz och Enablas av \overline{RC} , vilket gör att en ny adress (LA1-LA10) till videominnet inte läggs ut förrän \overline{RC} är aktiv.

Adressbit MA0 är kopplad på samma sätt via en av D-vipporna i kretsen LS 379 (pos 1D). Här tar man ut LA0 och $\overline{LA0}$, som väljer vilken "Latch" som ska läsas. LA0 kommer att byta värde för varje \overline{RC} -puls (0,5 us mellanrum =CCLK) medan adresserna LA1-LA10 till videominnet ändras för varannan \overline{RC} -puls (1 us mellanrum =2 x CCLK).

För att CPU ska kunna läsa och skriva i videominnet utan att störa avsökningen, måste CRTC-kretsen starta i ett bestämt fasläge i förhållande till CPU-klockan. Infasningen görs med hjälp av signalen $\overline{I3}$ som är inversen av CPU-klockan och adressbit LA0 från CRTC-kretsen. $\overline{I3}$ är kopplad till stift 5 på D-vippan i pos 1D. Nivån på $\overline{I3}$ känns av var gång \overline{RC} är aktiv vilket gör att utsignalen (REF) på Q-utgången (stift 7) kommer att byta värde i takt med LA0 (se tidsdiagram fig 11). REF-signalen och LA0 är anslutna som insignaler till en NAND-grind i pos 1B, vars utgång är ansluten till CRTC:s Reset-ingång. Så länge insignalerna är i motfas med varandra kommer Reset-ingången att ligga hög och fasläget är det rätta. Om CRT-kretsen skulle starta avsökningen i fel fasläge (se tidsdiagram för exemp.), kommer REF-signalen att få samma fasläge som LA0. När båda dessa signaler blir logiskt ett kommer NAND-grindens utgång att aktivera \overline{RES} -ingången på CRT-kretsen och nollställa MA0-MA10. När sedan \overline{RES} -ingången går hög kommer CRT:n att starta avsökningen igen och kommer då automatiskt i rätt fasläge.

Signalen DEN (Display Enable) innehåller ett tidsfönster som bestämmer när videoinformation ska läggas ut horisontalt och vertikalt. Värdet på tidsfönstret är programmerat i registren R1 och R6.

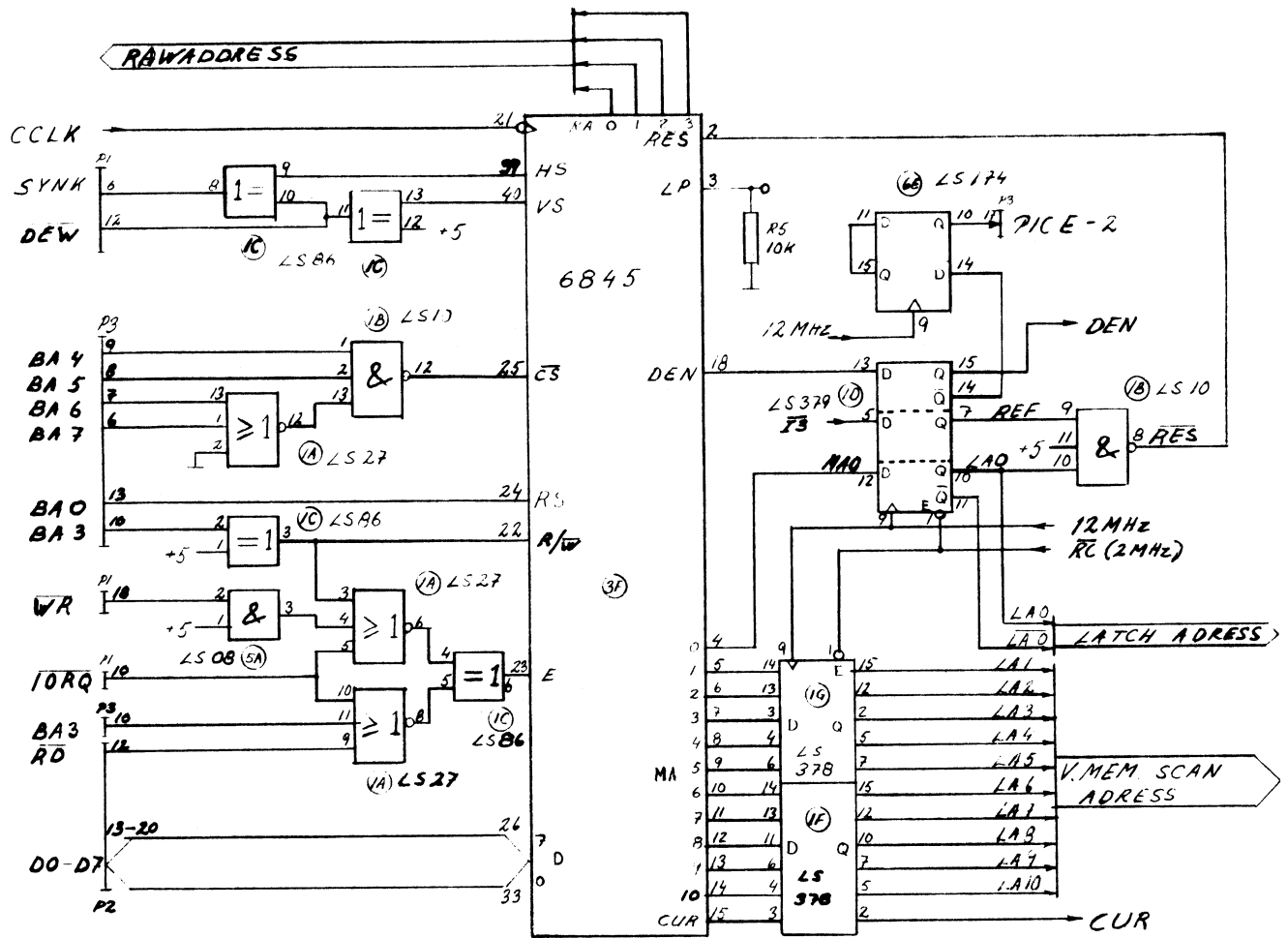
CUR (Cursor) signalen blir aktiv när adress MA0-MA1 överensstämmer med den adress som finns i Cursorregister R14, R15.

LP (Light Pen) är en ingång för anslutning av ljuspenna. Ljuspennan hålls mot bildskärmen och när elektronstrålen passerar förbi kommer ljuspennan att lämna en puls till LP-ingången. Adressen, som är på adressutgångarna (MA0-MA10), +2 kommer då att lagras i de två Light Pen-registren 16 och 17. Dessa register kan sedan läsas med följande instruktioner:

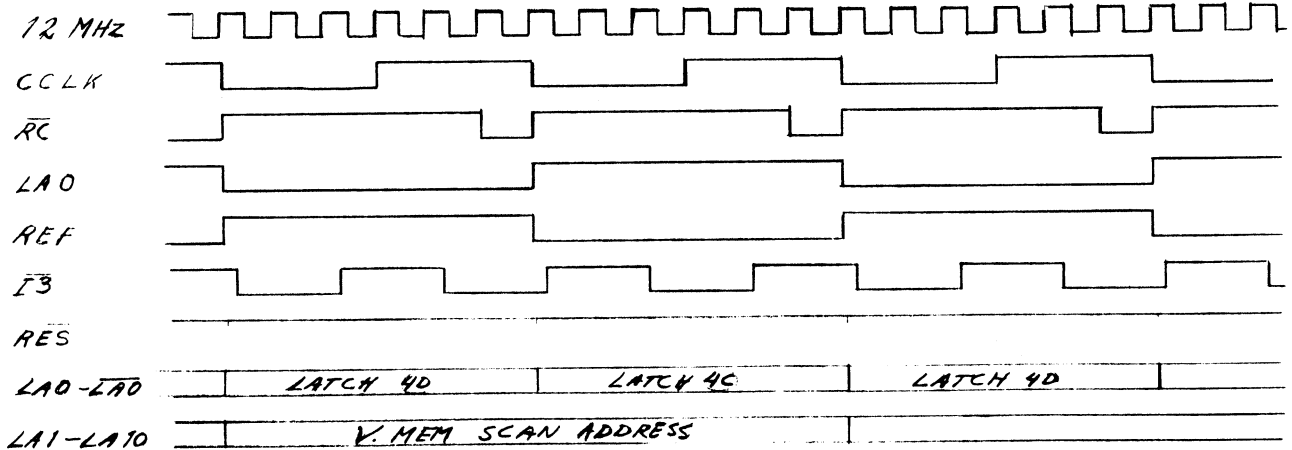
```
OUT 56,16
A%=INP(49)
OUT 56,17
B%=INP(49)
C%=A%*256+B%-3
```

Tre måste dras ifrån det adressvärde som fås på grund av att adressen från CRTC pekar ut en teckenpositon som inte läggs ut förrän fem Character Clock-perioder senare. Värdet i C% blir en minnesadress motsvarande den teckenpositon som ljuspennan pekar på.

PICE-2 (Picture Enable - 2 Dot) är en synkroniseringssignal till högupplösningens minnets avsökning.



SYNCRONIZING 6845 AT 2 MHz TO CPU AT 3 MHz



IF PHASE ERROR

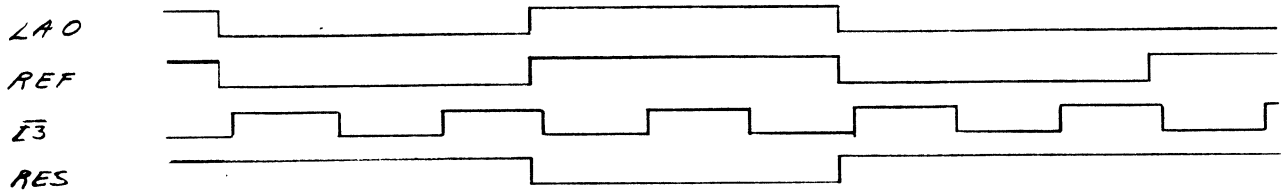


Fig. 11 I/O addressing CRTC 6845

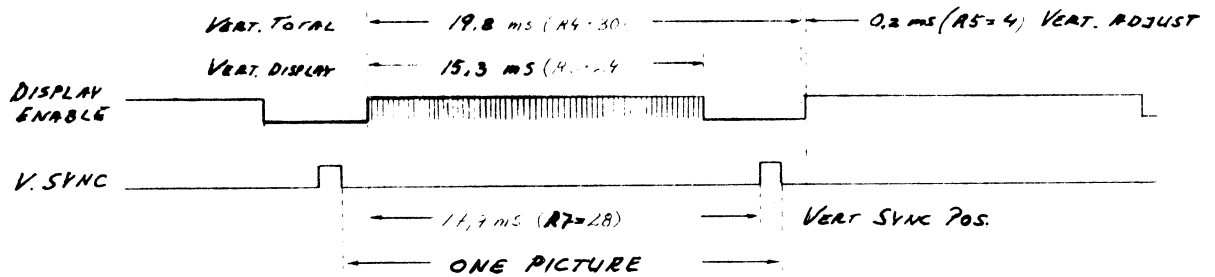
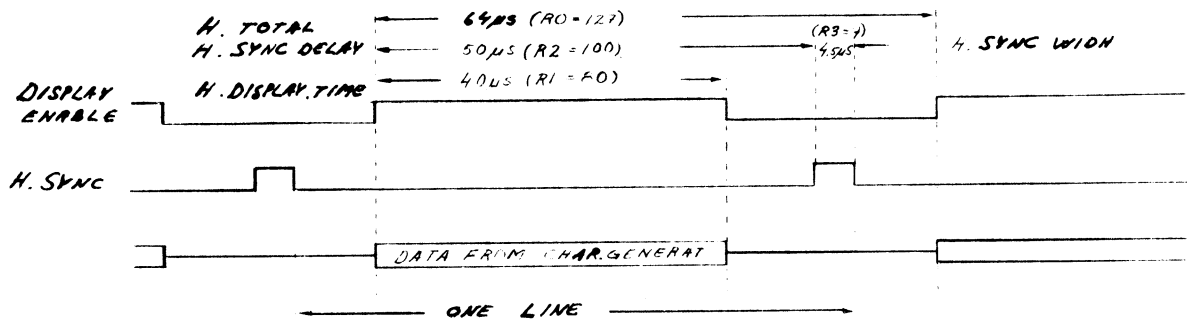


Fig. 12 Horizontal och vertikal timing

2.2.4 Exempel

```

10 REM INITIERING AV CRTC 6845
20 FOR Register=0 TO 15
30   OUT 56,Register           ! SKRIV REGISTER ADRESS
40   READ Data
50   OUT 57,Data              ! SKRIV DATA TILL REGISTER
60 NEXT Register
69 ! REG 0  1  2  3  4  5  6  7  8  9 10 11 12 13 14 15
70 DATA 127,080,100,009,030,004,024,028,000,009,028,008,120,000,120,000

```

$T_c = 0.5 \text{ uS}$ (Character clock)
 $T_{s1} = 64 \text{ uS}$ (Scan Line Period)
 $T_{cr} = 640 \text{ uS}$ (Character Row Period)

HORIZONTAL TOTAL	$(T_{s1}/T_c) - 1$	$R0 = (64\text{us}/0.5\text{us}) - 1$	=127
HORIZONTAL DISPLAY	$40 \text{ us}/T_c$	$R1 = 40\text{us}/0.5\text{us}$	=080
HORIZONTAL SYNC DELAY	$50\text{us}/T_c$	$R2 = 50\text{us}/0.5\text{us}$	=100
HORIZONTAL SYNC WIDH	$4.5\text{us}/T_c$	$R3 = 4.5\text{us}/0.5\text{us}$	=009
VERTICAL TOTAL	$(19.8\text{ms}/T_{cr}) - 1$	$R4 = (19.8\text{ms}/640\text{us}) - 1$	=030
VERTIKAL ADJUST	$0.2\text{ms}/T_{s1}$	$R5 = 0.2\text{ms}/64\text{us}$	=004
VERTIKAL DISPLAYED	$15.48/T_{cr}$	$R6 = 15.48\text{ms}/640\text{us}$	=024
VERTICAL SYNC POS.	$17.9/T_{cr}$	$R7 = 17.9\text{ms}/640\text{uS}$	=028
INTERLACE MOD	NOINTERLACE	R8	=000
MAX LINE ADRESS / ROW - 1		$R9 = 10 - 1$	=000
CURSOR START IN LINE - 1 + BLINK ON		$R10 = 8 + 32$	=040
CURSOR END IN LINE - 1		R11	=008
START ADR. VIDEO MEM (H)		$R12 = (78\text{H})$	=120
START ADR: VIDEO MEM (L)		$R13 = (00\text{H})$	=000
CURSOR ADR. (H)		$R14 = (78\text{H})$	=120
CURSOR ADR. (L)		$R15 = (00\text{H})$	=000
LIGHT PEN! REG (ONLY FOR READ)		R16=High adress	
LIGHT PEN! REG (ONLY FOR READ)		R17=Low adress	

2.2.5 CRTC

PROCESSOR INTERFACE

The CRTC interfaces to a processor bus on the bidirectional data bus (D0-D7) using \overline{CS} , RS, E, and R/W for control signals.

Data Bus (D0-D7) — The bidirectional data lines (D0-D7) allow data transfers between the CRTC internal Register File and the processor. Data bus output drivers are 3-state buffers which remain in the high impedance state except when the processor performs a CRTC read operation. A high level on a data pin is a logical "1."

Enable (E) — The Enable signal is a high impedance TTL/MOS compatible input which enables the data bus input/output buffers and clocks data to and from the CRTC. This signal is usually derived from the processor clock, and the high to low transition is the active edge.

Chip Select (\overline{CS}) — The \overline{CS} line is a high impedance TTL/MOS compatible input which selects the CRTC when low to read or write the internal Register File. This signal should only be active when there is a valid stable address being decoded from the processor.

Register Select (RS) — The RS line is a high impedance TTL/MOS compatible input which selects either the Address Register (RS = "0") or one of the Data Registers (RS = "1") of the internal Register File.

Read/Write (R/W) — The R/W line is a high impedance TTL/MOS compatible input which determines whether the internal Register File gets written or read. A write is active low ("0").

CRT CONTROL

The CRTC provides horizontal sync (HS), vertical sync (VS), and Display Enable signals.

Vertical Sync (V SYNC) — This TTL compatible output is an active high signal which drives the monitor directly or is fed to Video Processing Logic for composite generation. This signal determines the vertical position of the displayed text.

Horizontal Sync (H SYNC) — This TTL compatible output is an active high signal which drives the monitor directly or is fed to Video Processing Logic for composite generation. This signal determines the horizontal position of the displayed text.

Display Enable — This TTL compatible output is an active high signal which indicates the CRTC is providing addressing in the active Display Area.

REFRESH MEMORY/CHARACTER GENERATOR ADDRESSING

The CRTC provides Memory Addresses (MA0-MA13) to scan the Refresh RAM. Also provided are Raster Addresses (RA0-RA4) for the character ROM.

Refresh Memory Addresses (MA0-MA13) — These 14 outputs are used to refresh the CRT screen with pages of data located within a 16K block of refresh memory. These outputs drive a TTL load and 30pF. A high level on MA0-MA13 is a logical "1."

Raster Addresses (RA0-RA4) — These 5 outputs from the internal Raster Counter address the Character ROM for the row of a character. These outputs drive a TTL load and 30pF. A high level (on RA0-RA4) is a logical "1."

OTHER PINS

Cursor — This TTL compatible output indicates Cursor Display to external Video Processing Logic. Active high signal.

Clock (CLK) — The CLK TTL/MOS compatible input is used to synchronize all CRT control signals. An external dot counter is used to derive this signal which is usually the character rate in an alphanumeric CRT. The active transition is high to low.

Light Pen Strobe (LPSTR) — This high impedance TTL/MOS compatible input latches the current Refresh Addresses in the Register File. Latching is on the low to high edge and is synchronized internally to character clock V_{CC} . Gnd

\overline{RES} — The \overline{RES} input is used to Reset the CRTC. An input low level on \overline{RES} forces CRTC into following status:

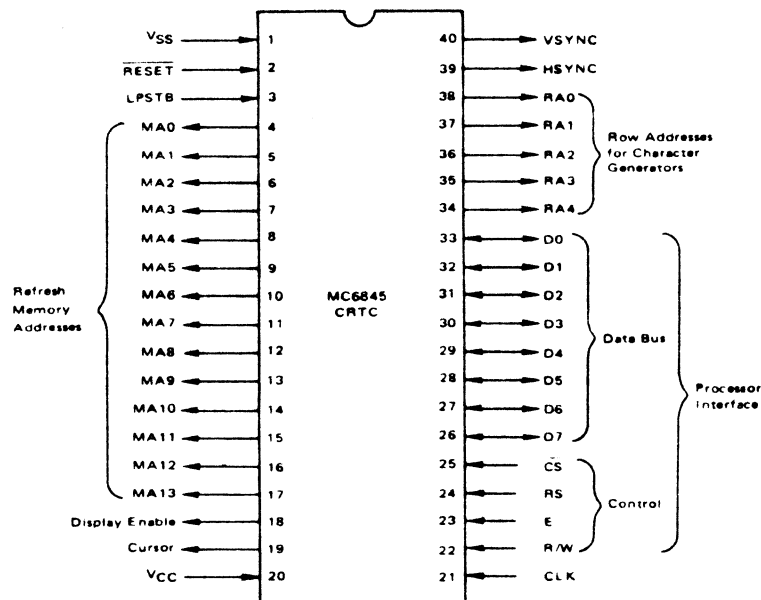
- (A) All the counters in CRTC are cleared and the device stops the display operation.
- (B) All the outputs go down to low level.
- (C) Control registers in CRTC are not affected and remain unchanged.

This signal is different from other M6800 family in the following functions:

- (A) \overline{RES} signal has capability of reset function only when LPSTB is at low level.
- (B) After \overline{RES} has gone down to low level, output signals of MA0-MA13 and RA0-RA4, synchronizing with CLK low level, goes down to low level. (At least 1 cycle CLK signal is necessary for reset.)
- (C) The CRTC starts the Display operation immediately after the release of \overline{RES} signal.

TABLE 1 — CRTC Operating Mode

\overline{RES}	LPSTB	OPERATING MODE
0	0	Reset
0	1	Test Mode
1	0	Normal Mode
1	1	Normal Mode



The CRTC consists of programmable horizontal and vertical timing generators, programmable linear address register, programmable cursor logic, light pen capture register, and control circuitry for interface to a processor bus.

All CRTC timing is derived from CLK, usually the output of an external dot rate counter. Coincidence (CO) circuits continuously compare counter contents to the contents of the programmable register file, R0-R17. For horizontal timing generation, comparisons result in: 1) Horizontal sync pulse (HS) of a frequency, position, and width determined by the registers, 2) Horizontal Display Signal of a frequency, position, and duration determined by the registers.

The Horizontal counter produces H clock which drives the Scan Line Counter and Vertical Control. The contents of the Raster Counter are continuously compared to the Max Scan Line Address Register. A coincidence resets the Raster Counter and clocks the Vertical Counter.

Comparisons of Vertical Counter contents and Vertical Registers result in: 1) Vertical sync pulse (VS) of a frequency and position determined by the registers—the width is fixed at 16 raster lines in the vertical control section and is not programmable, 2) Vertical Display of a frequency and position determined by the registers.

Nineteen registers in the CRTC can be accessed by means of the data bus. Register addressing and lengths are shown in Table 2.

ADDRESS REGISTER

The Address Register is a 5 bit write-only register used as an "indirect" or "pointer" register. Its contents are the address of one of the other 18 registers in the file. When RS and CS are low, the Address Register itself is addressed. When RS is high, the Register File is accessed.

HORIZONTAL TIMING REGISTERS R0, R1, R2, and R3

Figure 9 shows the visible display area of a typical CRT monitor giving the point of reference for horizontal registers as the left most displayed character position. Horizontal registers are programmed in "character time" units with respect to the reference.

Horizontal Total Register (R0) — This 8 bit write-only register determines the horizontal frequency of HS. It is the total of displayed plus non-displayed character time units minus one.

Horizontal Displayed Register (R1) — This 8 bit write-only register determines the number of displayed characters per horizontal line.

Horizontal Sync Position Register (R2) — This 8 bit write-only register determines the horizontal sync position on the horizontal line.

Horizontal Sync Width Register (R3) — This 4 bit

The Vertical Control Logic has other functions.

1. Generate row selects, RA0-RA4, from the Raster Count for the corresponding interlace or non-interlace modes

2. Extend the number of scan lines in the vertical total by the amount programmed in the Vertical Total Adjust Register.

The Linear Address Generator is driven by CLK and locates the relative positions of characters in memory with their positions on the screen. Fourteen lines, MA0-MA13, are available for addressing up to four pages of 4K characters, 8 pages of 2K characters, etc. Using the Start Address Register, hardware scrolling through 16K characters is possible. The Linear Address Generator repeats the same sequence of addresses for each scan line of a character row.

The cursor logic determines the cursor location, size, and blinking rate on the screen. All are programmable.

The light pen strobe going high causes the current contents of the Address Counter to be latched in the Light Pen Register. The contents of the Light Pen Register are subsequently read by the Processor.

Internal CRTC registers are programmed by the processor through the data bus, D0-D7, and the control signals—R/W, CS, RS and E.

write-only register determines the width of the HS pulse. It may not be apparent why this width needs to be programmed. However, consider that all timing widths must be programmed as multiples of the character clock period which varies. If HS width were fixed as an integral number of character times, it would vary with character rate and be out of tolerance for certain monitors. The rate programmable feature allows compensating HS width.

VERTICAL TIMING REGISTERS R4, R5, R6, R7, R8, and R9

The point of reference for vertical registers is the top character position displayed. Vertical registers are programmed in character row times or scan line times.

Vertical Total Register (R4) and Vertical Total Adjust Register (R5) — The vertical frequency of VS is determined by both R4 and R5. The calculated number of character line times is usually an integer plus a fraction to get exactly a 50 or 60 Hz vertical refresh rate. The integer number of character line times minus one is programmed in the 7 bit write-only Vertical Total Register; the fraction is programmed in the 5 bit write-only Vertical Scan Adjust Register as a number of scan line times.

Vertical Displayed Register (R6) — This 7 bit write-only register determines the number of displayed character rows on the CRT screen, and is programmed in character row times.

Vertical Sync Position (R7) — This 7 bit write-only register determines the vertical sync position with respect

TABLE 2 - CRTC INTERNAL REGISTER ASSIGNMENT

CS	RS	Address Register					Register #	Register File	Program Unit	Read	Write	Number of Bits																
		4	3	2	1	0						7	6	5	4	3	2	1	0									
1	X	X	X	X	X	X	X			No	Yes																	
0	0	X	X	X	X	X	X	X	Address Register		No	Yes																
0	1	0	0	0	0	0	R0	Horizontal Total	Char	No	Yes																	
0	1	0	0	0	0	1	R1	Horizontal Displayed	Char	No	Yes																	
0	1	0	0	0	1	0	R2	H Sync Position	Char	No	Yes																	
0	1	0	0	0	1	1	R3	H Sync Width	Char	No	Yes																	
0	1	0	0	1	0	0	R4	Vertical Total	Char Row	No	Yes																	
0	1	0	0	1	0	1	R5	V Total Adjust	Scan Line	No	Yes																	
0	1	0	0	1	1	0	R6	Vertical Displayed	Char Row	No	Yes																	
0	1	0	0	1	1	1	R7	V Sync Position	Char Row	No	Yes																	
0	1	0	1	0	0	0	R8	Interlace Mode		No	Yes																	
0	1	0	1	0	0	1	R9	Max Scan Line Address	Scan Line	No	Yes																	
0	1	0	1	0	1	0	R10	Cursor Start	Scan Line	No	Yes																	
0	1	0	1	0	1	1	R11	Cursor End	Scan Line	No	Yes																	
0	1	0	1	1	0	0	R12	Start Address (H)		No	Yes																	
0	1	0	1	1	0	1	R13	Start Address (L)		No	Yes																	
0	1	0	1	1	1	0	R14	Cursor (H)		Yes	Yes																	
0	1	0	1	1	1	1	R15	Cursor (L)		Yes	Yes																	
0	1	1	0	0	0	0	R16	Light Pen (H)		Yes	No																	
0	1	1	0	0	0	1	R17	Light Pen (L)		Yes	No																	

Note (1): Bit 5 of the Cursor Start Raster Register is used for blink period control and Bit 6 is used to select blink or non blink.

to the reference. It is programmed in character row times.

Interlace Mode Register (R8) – This 2 bit write-only register controls the raster scan mode (see Figure 11). When bit 0 and bit 1 are reset, or bit 0 is reset and bit 1 set, the non-interlace raster scan mode is selected. Two interlace modes are available. Both are interlaced 2 fields per frame. When bit 0 is set and bit 1 is reset, the interlace sync raster scan mode is selected. Also when bit 0 and bit 1 are set, the interlace sync and video raster scan mode is selected.

Maximum Scan Line Address Register (R9) – This 5 bit write-only register determines the number of scan lines per character row including spacing. The programmed value is a max address and is one less than the number of scan lines.

OTHER REGISTERS

Cursor Start Register (R10) – This 7 bit write-only register controls the cursor format (see Figure 10). Bit 5 is the blink timing control. When bit 5 is low, the blink frequency is 1/16 of the vertical field rate, and when bit 5 is high, the blink frequency is 1/32 of the vertical field rate. Bit 6 is used to enable a blink. The cursor start scan line is set by the lower 5 bits.

Cursor End Register (R11) – This 5 bit write-only register sets the cursor end scan line.

Start Address Register (H & L) (R12, R13) – Start Address Register is a 14 bit write-only register which determines the first address put out as a refresh address after vertical blanking. It consists of an 8 bit lower register, and a 6 bit higher register.

Light Pen Register (H & L) (R16, R17) – This 14 bit read-only register is used to store the contents of the Address Register (H & L) when the LPSTB input pulses high. This register consists of an 8 bit lower and 6 bit higher register.

Cursor Register (H & L) (R14, R15) – This 14 bit read/write register stores the cursor location. This register consists of an 8 bit lower and 6 bit higher register.

CURSOR

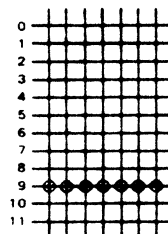
The Cursor Start and End Registers allow a cursor of up to 32 scan lines in height to be placed on any scan lines of the character block as shown in Figure 10. Using Bits 5 & 6 of the Cursor Start Register, the cursor is programmed with blink periods of 16 or 32 times the field period. Optional non-blink and non-display modes can also be selected. When an external 2X blink on characters is required, it may be necessary to perform cursor blink externally as well so that both blink rates are synchronized. Note that an invert/non-invert cursor is easily implemented by programming the CRTC for blinking cursor and externally inverting the video signal with an exclusive-OR.

The cursor is positioned by changing the contents of registers R14 and R15. The cursor can be placed at any of 16K character positions, thus facilitating hardware paging and scrolling through memory without loss of the cursor's original position.

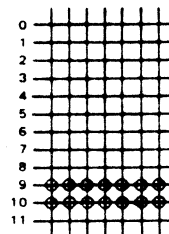
Cursor Start Register

B	P	
Bit 6	Bit 5	Cursor Display Mode
0	0	Non-Blink
0	1	Cursor Non-Display
1	0	Blink, 1/16 Field Rate
1	1	Blink, 1/32 Field Rate

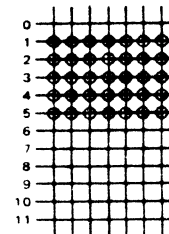
Example of Cursor Display Mode



Cursor Start Adr. = 9
Cursor End Adr. = 9



Cursor Start Adr. = 9
Cursor End Adr. = 10



Cursor Start Adr. = 1
Cursor End Adr. = 5

INTERLACE/NON-INTERLACE DISPLAY MODES

An illustration of the 3 raster scan modes of operation is shown in Figure 11. Normal sync mode is non-interlace. In this mode, each scan line is refreshed at the vertical field rate (e.g., 50 or 60 Hz). Frame time is divided into even and odd alternating fields. The horizontal and vertical timing relationship results in the displacement of scan lines in the odd field with respect to the even field. When the same information is painted in both fields, the mode is called "Interlace Sync," this is a useful mode for enhancing readability by filling in a character. When the even lines of a character are displayed in the even field and the odd lines in the odd field, the mode is called "Interlace Sync and Video." This last mode effectively doubles the character density on a monitor of a given bandwidth. The disadvantage of both interlace modes is an apparent flicker effect, which can be reduced by careful monitor design.

There are restrictions on the programming of CRTC registers for interlace operation:

- 1) Horizontal total character count, N_{ht} must be odd (i.e., an even number of character times)
- 2) For Interlace Sync and Video mode only, the max scan line address, N_{sl} must be odd (i.e., an even number of scan lines)
- 3) For Interlace Sync and Video mode only, the Vertical Displayed Total characters must be even. The programmed number, N_{vd} , must be one-half the actual number required.
- 4) For Interlace Sync & Video mode only, the Cursor START and Cursor End Registers must both be even or both odd.

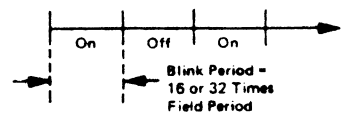
LIGHT PEN

The contents of the CRTC Address Counter are strobed into R16/R17 Light Pen Registers on the next high to low CLK transition after LPSTB goes high. In most systems, the light pen signal would also cause a processor interrupt routine to read R16/R17. Slow light pen response requires the processor software to modify the captured address read from R16/R17 by a calibration factor.

PROGRAMMING CONSIDERATIONS

Initialization – Registers R0-R15 must be initialized after power is turned on. The processor normally loads the CRTC registers sequentially from a firmware table. Henceforth, R0-R11 are not changed in most systems. The 6800 program in Table 3 and Figure 12 shows a typical CRTC initialization.

Hardware Scrolling – Registers R12/R13 contents determine which memory location is the first displayed character on the screen. Since the CRTC Linear Address Generator counts from this beginning count, the displayed portion of the screen may be a window on any continuous string of characters within a 16K block or refresh memory. By centering the R12/R13 pointer in the middle of the available memory space, scrolling up or down is possible... by line, page, or character.



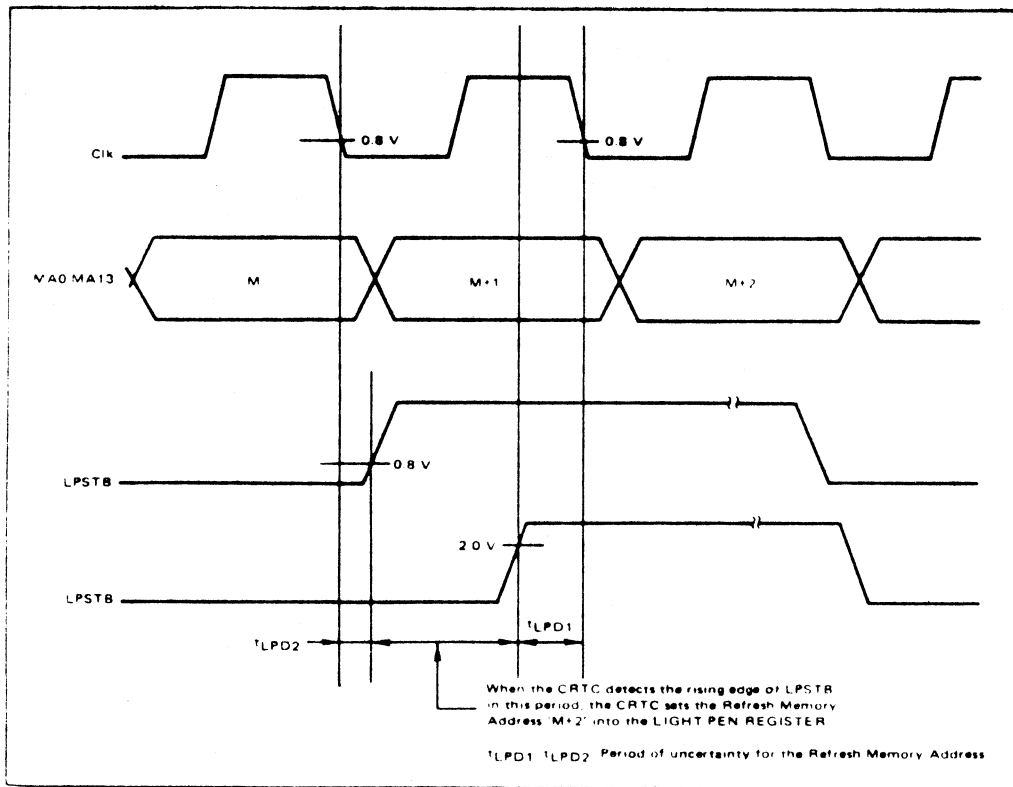
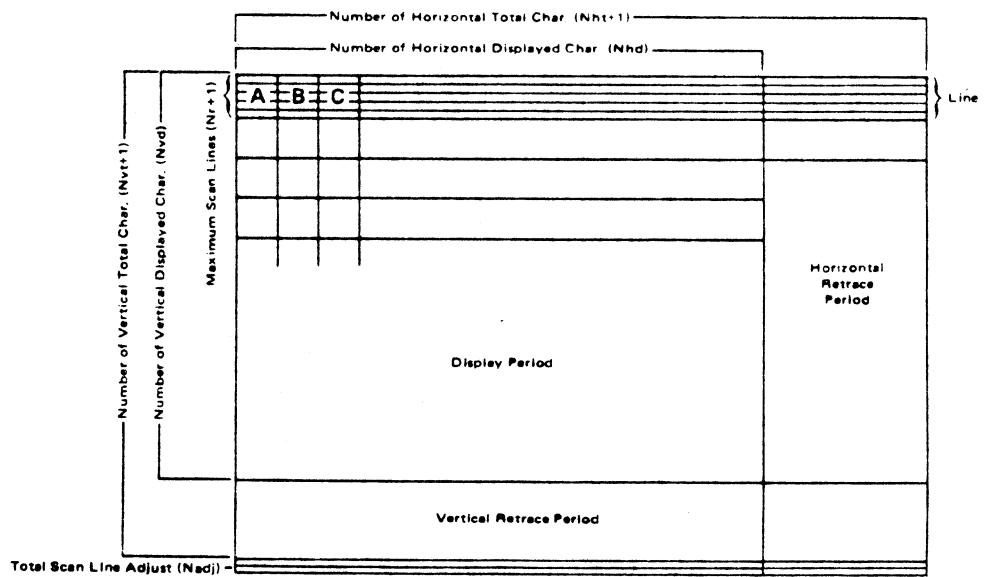


ILLUSTRATION OF THE CRT SCREEN FORMAT



2.2.6 Videominne och teckengenerering

Videominnet är uppbyggt av 4 st 2114 (1kx4bit). Dessa är organiserade så att de bildar två block om vardera 1 kbyte.

Adressingångarna, CS och WR är anslutna till 4 st multiplexerkretsar, som kontrolleras av samma select-signal.

Select-ingången kontrolleras av signalen CPU/CRTC, som väljer om minnet ska adresseras från CPU eller CRTC. Normalt adresseras minnet från CRTC. När Select-signalen är låg är ingångarna märkta 0 kopplade till multiplexerns utgång och CRTC:ns adressbitar LA1-LA10 adresserar minneskretsarna. CS till båda kretsarna är aktiv genom att J-K vippans Q-utgång (pos 6A) är hög. WR-signalen har hög nivå eftersom båda ingångarna ligger till jord.

Båda minnesblocken adresseras med samma adress och lägger ut varsin byte till låskretsarna (Latcharna) i pos 4B och 4. Båda latcharna är öppna genom att gate-ingången har hög nivå från J-K vippans (pos 6A), och data läggs fram till låskretsarna i pos 4C och 4D. Data läses in till dessa kretsar när LA0 går från låg till hög nivå.

LA0 får hög nivå och påverkar OE-ingången till kretsen i pos 4C så att data blockeras, medan LA0 till den andra kretsens OE-ingång (pos 4D) blir låg och släpper fram data till nästa låskrets (pos 5E) ingångar. Låskretsen skickar sedan ut data till tecken-PROM:ets adressingångar när Enable-ingången blir aktiv. Data tillsammans med RA0-RA3 bildar en specifik adress, som lägger ut ett bitmönster på data-utgångarna. Bitmönstret laddas sedan in i skiftregistret i pos 6G när Load-ingången, stift 15, blir aktiv, för att sedan skiftas ut i serieform på SO-utgången i takt med 12 MHz (Dot Clock) signalen på klocking-ången. SO (Shift Out) utgången är ansluten till en D-Vippa som fördröjer signalen en Dot. Signalen innehåller den information som sedan används som videosignal, där en etta innebär att en punkt tänds och en nolla att den släcks. Videosignalen kopplas sedan via VU-kontakten till en buffertkrets på PU-kortet och till monitorkontakten.

När sedan nästa data (ASCII-kod) ska läggas in till tecken-PROM:et via låskretsen i pos 5E (\overline{RC} aktiv), har LA0, när föregående \overline{RC} var aktiv, blivit låg och data från kretsen i pos 4C finns på ingången till låskretsen i pos 5E. \overline{RC} -pulsen, som läser in data från låskrets 4C till teckengeneratoren, kommer också att ladda in två nya data från videominnet till låskrets 4C, 4D och skiftar samtidigt adresserna LA1-LA10 till videominnet. Därefter upprepas förloppet som beskrivits tidigare.

Load-ingången till skiftregistret i pos 6G aktiveras med signalen \overline{RC} via NAND-grinden i pos 1B, stift 6. Grinden har som andra insignal DEN-3. Och så länge denna signal har låg nivå kommer inga Load-pulser att avges till skiftregistret och följaktligen heller ingen videosignal.

Signalen DEN-3 kommer från stift 10 på kretsen i pos 5C, där tre D-vippor, som enablas av \overline{RC} och klockas med 12 MHz, har kopplats i serie vilket gör att insignalen DEN fördröjs med tre teckenpositioner. DEN är den kontrollsignal som släcker videosignalen under den icke aktiva delen av bildskärmsytan. Den andra hälften av kretsen i pos 5C är kopplad på samma sätt och fördröjer kontrollsignalen CUR, som används för att göra Out Enable på tecken-PROM:et. CUR-signalen blir aktiv hög under den tid som adressen i CRT-kretsens register 14 och 15 överensstämmer med MA0-MA10. CUR 3-signalen kommer att lägga OE-ingången på tecken-PROM:et hög, vilket gör att inga data kommer att läggas ut under den teckenperioden. Men eftersom datautgångarna har Pull Up-mostånd, kommer ett bitmönster med bara ettor att laddas in i skiftregistret och cursorn kommer att visas på bildskärmen.

Tecken-PROM:et är ett 2716 2 kbyte EPROM, som är programmerat med bitmönster för varje skrivbar ASCII-kod. Ett tecken upptar 10 byte där sex av databitarna får bilda bitmönster. Ett tecken på bildskärmen är uppbyggt av 6x10 punkter, där punkt 6 och punkt 10 alltid är släckta för att man ska få ett mellanrum mellan tecknen och mellan raderna.

2716 EPROM:et kan ersättas med ett 2732 4 kbyte EPROM. Genom att koppla in databit 7 till EPROM:ets adressbit 11 (stift 21 byglas till stift 9 5E) kan teckenuppsättningen utökas.

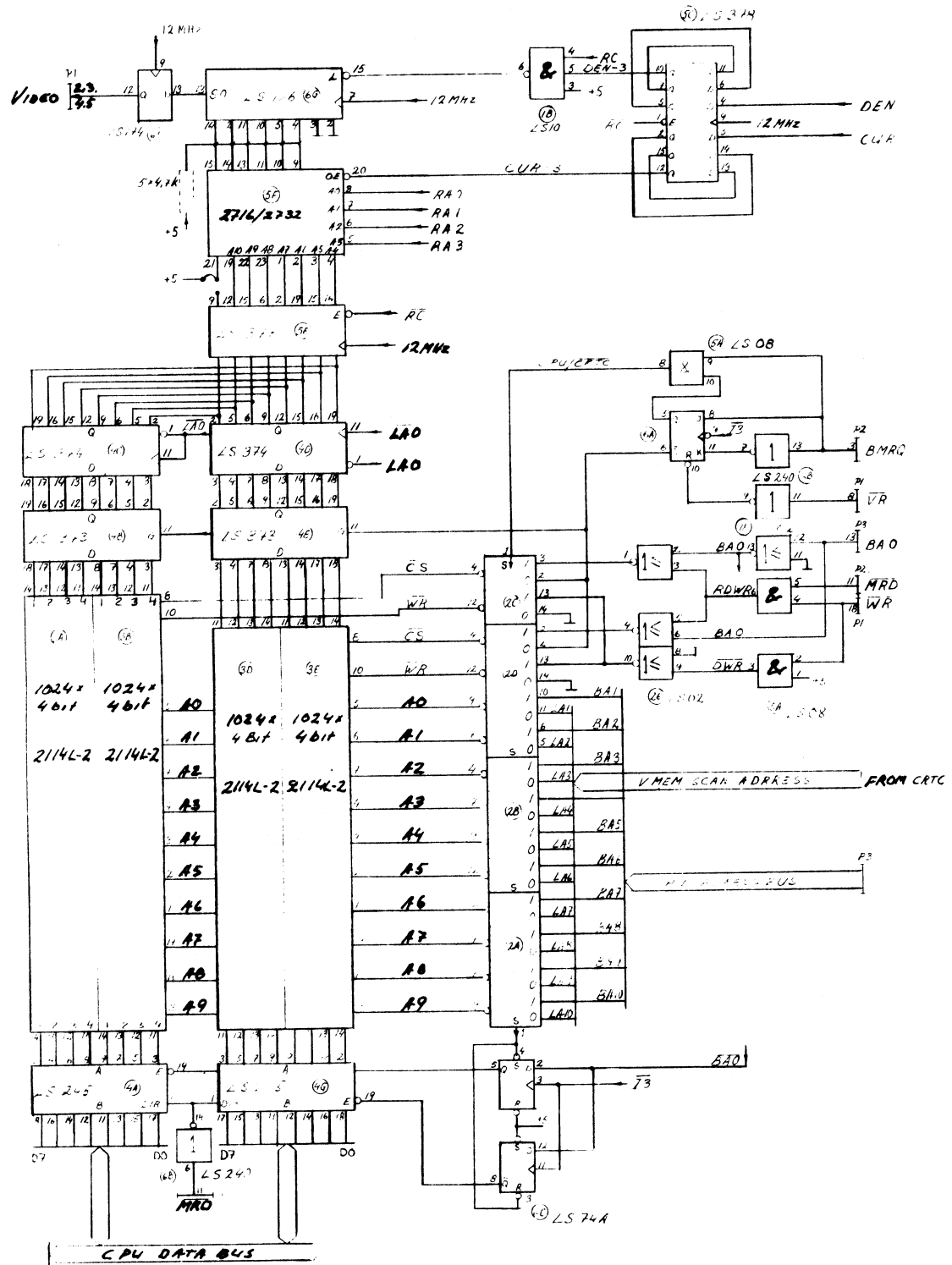


Fig 13 Videominne och teckengenerering

2.2.7 CPU Read och Write

När CPU gör en läsning eller skrivning i videominnet kommer en adress mellan 7800-8000H att läggas ut. Adresserna avkodas på PU-kortet och aktiverar signalen \overline{WR} som är ansluten till stift 11 på inverteraren i pos 6B. Inverterarens utgång, som är ansluten till JK-vippans (pos 6A) R-ingång, kommer att gå hög. \overline{BMRO} -signalen kommer att bli aktiv (hög). J-ingången på vippan får hög nivå, medan K-ingången får låg nivå via inverteraren i pos 6B (stift 7). JK-vippan kommer sedan när $\overline{I3}$ går från hög till låg nivå att få Q-utgången hög och \overline{Q} låg. Q-utgången kopplas till AND-grinden (pos 5A, stift 10) och tillsammans med \overline{BMRO} lägger den CPU/CRTC-signalen hög och selektar multiplexerkretsarnas ingångar 1 till utgångarna (CPU adress).

\overline{Q} invers-utgången från JK-vippan får låg nivå och påverkar Gate-ingången till de två låskretsarna (pos 4B,4E). Låskretsarna kommer att på utgångarna låsa de data som fanns på ingångarna när Gate-ingången blir låg. När ingångarna sedan ändrar värde kommer det inte att påverka kretsen.

Videominnet adresseras av CPU och vilket minnesblock som ska reagera på adressen bestäms med CS-signalen. CS-signalen till respektive krets kontrolleras av BAO. BAO kopplas till NOR-grinden (pos 1E, stift 12) där den inverteras och används därefter som insignal till NOR-grinden i pos 2E, stift 2. BAO kopplas utan invertering till NOR-grinden i pos 2E, stift 6. Till dessa grindar är RDWR-signalen ansluten, vilken är aktiv när \overline{MRD} eller \overline{WR} är aktiv.

NOR-grindens (pos 2E) utgång stift 1 kommer att göra CS på minneskretsarna i pos 3A,3B när BAO=1 och RDWR är aktiv. NOR-grinden (pos 2E) utgång stift 4 gör CS på minneskretsarna i pos 3D,3E när BAO=0 och RDWR är aktiv. RDWR signalen används för att CS inte ska göras på kretsarna innan nivån på signalen WR har bestämts. WR-signalen stift 10 avgör om det är en läsning eller skrivning som ska göras i minnet. WR från CPU kopplas via en AND-grind (pos 5A) till NOR-grinden i pos 2E, stift 9, och sedan genom multiplexern till \overline{WR} -ingången på samtliga minneskretsar. AND-grinden är inlagd för att ge en fördröjning så att signalerna RDWR och DWR ska bli aktiva samtidigt. NOR-grinden gör att \overline{WR} -signalen till minnet blir aktiv låg (multiplexerns utgångar är inverterade).

Data in och ut till minneskretsarna går via de dubbelriktade buffertkretsarna i pos 4A,4G. Vilken riktning buffertkretsarna ska ha styrs med signalen \overline{MRD} via en inverterare till DIREction-ingången. \overline{MRD} är låg när en läsning ska utföras. Vilken av buffertkretsarna som ska aktiveras, styrs av Enable-ingångarna, som i sin tur kontrolleras av D-vipporna i pos 6C.

Eftersom videominnet vid avsökning adresseras av LA1-LA10, medan LA0 väljer vilket block som ska läsas, görs motsvarande operation när CPU adresserar. BA1-BA10 kopplas via multiplexern till videominnet, medan BAO via D-vipporna i pos 6C väljer minnesblock. D-vippornas R och S-ingångar kommer att bli höga när Select-signalen till multiplexrarna blir hög. Vipporna klockas av $\overline{I3}$ och har BAO som insignal. Utgångarna kontrollerar sedan Enable-ingångarna på buffertkretsarna. Krets 4C är aktiv när BAO=0, medan krets 4G är aktiv när BAO=1. Det här förfarandet gör att alla data på jämna adresser ligger i 3D,3E, medan data på ojämna adresser ligger i krets 3A,3B.

En Read- eller Write-cykel från CPU kommer att hålla CPU/CRTC-signalen på hög nivå i max 0,66 μ s om fasläget mellan CPU-clock och CRTC-kretsen är det rätta. I annat fall skulle cykeln bli närmre 1 μ s och orsaka att data till låskretsarna i pos 4B,4C i vissa fall inte hinner läggas ut från videominnet under den aktuella tiden.

2.3 VU/C-kortet (40 tecken)

På videokortet genereras 6 MHz klocka, styrsignaler, RGB och synksignal till bildskärmen.

En synlig bildyta består av 24 rader och 40 tecken per rad. Detta innebär att en full skärm innehåller 960 tecken. På videokortet finns 1 kbyte RAM som innehåller bildskärmsinformationen.

VU/C-kortet (fig 14) innehåller följande:

- o 12 MHz-oscillator.
- o Timingkrets SAA 5020, som genererar styrsignaler.
- o RAM (videominne).
- o Teckengenerator SAA 5052, där data från videominnet avkodas till motsvarande RGB-signal.
- o Logik för att styra databuffrarna då CPU:n läser eller skriver i RAM:et.
- o Multiplexrar för val av CPU-adresser eller avsökningsadresser.
- o Logik för cursorgenerering.

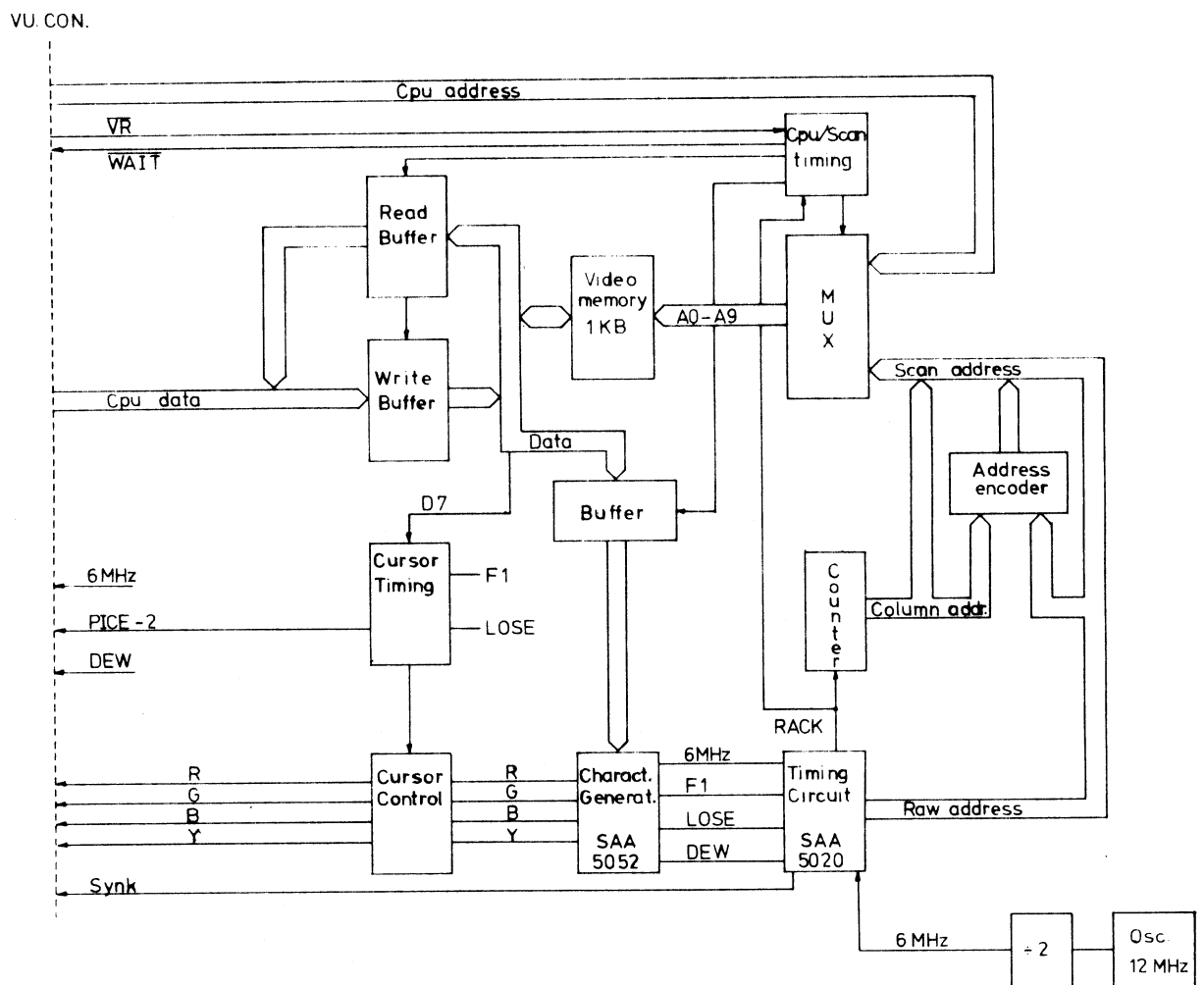


Fig. 14 Blockschemat VU/C-kortet

Först ska nämnas att timingkretsen SAA 5020 och teckengeneratoren SAA 5052 ursprungligen är avsedda för text TV-tillämpningar. Därför har man en del, i detta sammanhang, "udda" benämningar på signalerna.

Timingkretsen SAA 5020 genererar styrsignaler. 6 MHz sänds ut buffrad till övriga delar av systemet. SAA5020 lämnar radadresser och signalen RACK, som styr en räknare som lämnar kolumnadresser. Rad- och kolumnadresserna adresserar kontinuerligt videominnet. Videominnet lämnar via buffertkretsen ASCII-koder till teckengeneratoren. I teckengeneratoren avkodas ASCII-koderna, varvid R-, G-, B- och Y-signaler erhålls. Dessa signaler kopplas sedan till bildskärmen. Bit D7 i dataordet används för markering av cursorposition.

När CPU:n vill skriva eller läsa i videominnet sker detta genom att \overline{VR} -signalen, som går in på styrlogiken för CPU-timing, aktiveras. Styrlogiken kopplar om multiplexern så att videominnet adresseras av CPU. Beroende på om det är skrivning eller läsning öppnas respektive databuffert. I vissa fall måste \overline{WAIT} -signal genereras till CPU:n.

Signalen från 12 MHz-oscillatorn (pos 3E) delas ner till 6 MHz i JK-vippan i pos 4E. Den går vidare till timingkretsen SAA 5020, stift 2, där den buffras och kommer ut på stift 3 och benämns TR6. Sedan går den vidare till SAA 5052 och till bufferten i pos 6D, där den buffras ytterligare en gång innan den matas ut i systemet.

Från timingkretsen SAA 5020 erhålls RACK, signalen som stegar kolumnräknaren, A0-A4 som räknar 0-23, AHS som är V- och H-synk till bildskärmen, GLR nollställningssignal till kolumnräknaren och kontrollsignaler till teckengeneratoren SAA 5050.

AHS erhåller man på stift 5. Denna går via OR-grinden i pos 6A till VU-kontakten, P1 stift 6, och vidare till monitorn. AHS går också till klock-ingången på räknaren i pos 5E. Räknaren används för att ta bort radsprånget i synksignalen, vilket gör att man erhåller en flimmerfri bild. Till reset-ingången på räknaren matas CRS från SAA 5020. CRS markerar udda och jämnt bildfält. När reset-ingången går låg kommer räknaren att räkna fyra linjepulser, därefter går stift 11 hög och signalen FS (Field Sync) aktiveras, varvid SAA5020 lämnar synk för jämnt bildfält återigen. Denna procedur upprepas vid varje bildväxling (var 20ms).

Signalen \overline{DEW} från SAA5020 (stift 14), som är aktiv låg under vertikalåtergång, utnyttjas till SLOW CLK och även i högupplösningsgrafiken som nollställningssignal för radräknaren.

Signalen från stift 15 (TLC) är en signal från 5050 till 5020 som anger att text med dubbel höjd ska skrivas på skärmen.

Signalen från stift 13 (LOSE) nollställer 5050 före start av ny linje. Den definierar även den aktiva bildytan under en linje.

Signalen från stift 4 (F1) 1 MHz används av 5050 för att läsa in ASCII-koder från videominnet. Signalen buffras också i 6E och går vidare till övriga delar i systemet.

Signalen från stift 7 (GLR), som är aktiv efter varje linje, nollställer kolumnräknaren i pos 1B.

Signalen från stift 24 (RACK) används för att räkna upp kolumnräknaren (pos 1B) från 0 till 39 under avsökningen av varje linje. Den är också kopplad till J-ingången på JK-vippan i pos 3A (se nedan).

Kretsarna i pos 6D och 6E fungerar som buffrar och anpassar nivåerna på signalerna från 5020 till TTL-nivå.

3 MHz-signalen F3, som kommer från PU-kortet, är en invers av CPU-klockan. Den belastas hårt och buffras därför i JK-vippan i pos 5A. Signalen används som synkroniseringssignal mellan CPU:n och VU-kortet.

Avsökningen av videominnet görs genom att radadresser läggs ut från SAA5020, stift 19-23, och kolumnadresser från kolumnräknaren (pos 1B). Adresserna läggs via multiplexerkretsarna in på videominnet. Kolumnräknaren kan räkna från 0 till 63 och SAA5020 räknar från 0 till 31. Men eftersom raden endast innehåller 40 positioner och skärmen består av 24 rader, utnyttjas inte alla adresserna. Därför görs en omkodning av adresserna, vilken går till på följande sätt:

De tre minst signifikanta radadressbitarna går via buffrar direkt till MUX:en. De två kvarvarande går till adderaren i pos 1C. De tre minst signifikanta kolumnadressbitarna går också till multiplexern. Medan de övriga går till adderaren. De fem adressbitarna in till adderaren görs om så att man ut från adderaren får fyra bitar. Detta innebär att man har reducerat det totala antalet adressbitar till videominnet från 11 till 10. Detta innebär att videominnet endast behöver innehålla 1 kbyte.

Videominnet lägger ut data (ASCII-koder) som via bufferten i pos 4C läggs in till SAA5050 dataingångar. ASCII-koderna läses in i SAA5050 med signalen F1 från SAA5020.

5050 avkodar ASCII-koderna och genererar signalerna R, G, B och Y, som via VU-kontakten går till bildskärmen. Tecknen är uppbyggda av en punktmatrix 5x9, som finns lagrade i ett tecken-ROM i 5050. I ROM:et finns även grafiska symboler. Tecken-ROM:et i 5020 adresseras dels av ASCII-koderna från minnet och dels av en linjeadress, som genereras internt i 5050. Data från tecken-ROM:et laddas in i ett skiftregister med F1. Data skiftas sedan ut som R, G, B och Y information av 6 MHz-signalen, stift 19.

Följande kontrollsignaler kommer från 5020:

GLR (stift 12) används för nollställning av räknare i 5050.

LOSE (stift 26) innehåller tidsfönster för den aktiva bildytan, dvs signalen är aktiv under den tid som informationen ska visas på skärmen.

TLC (stift 16) är en signal till 5020, som anger att text med dubbel höjd ska visas.

CRS (stift 14) anger udda och jämna bildfält.

DEW (stift 13) indikerar bildväxling.

Bit D7 i ASCII-koden från videominnet läggs inte in i 5050 utan kopplas via kretsarna i pos 3E och 4E till X-OR grindarna i pos 6C, där den används för att invertera videosignalen. D7 klockas in i JK-vippan i pos 4E med F1. Från Q-utgången går den vidare till D-vippan i pos 3E. Utsignalen grindas i NOR-grinden med PICE-2-signalen (LOSE-signalen fördröjd en teckenposition). Grindningen är till för att förhindra cursor att vara synlig utanför den synliga bildytan. Bit D7 går sedan in i 3E (stift 12) där den passerar två vippor och erhålls därefter på stift 15. Kretsen 3E är till för att åstadkomma samma fördröjning som sker i 5050. D7 passerar ytterligare en vippa i pos 4E. Vippan klockas med 6 MHz och ger ytterligare en fördröjning. Beroende på värdet på D7 kommer R-, G-, B- och Y-signalerna att antingen inverteras eller inte inver-

teras. Om bit D7 sätts till ett i videominnet kommer signalerna att inverteras. Detta används bla för att tända cursor.

När CPU ska läsa eller skriva information i videominnet får den inte störa avsökningen, som normalt pågår, av videominnet. För att förhindra detta måste i vissa lägen WAIT genereras till CPU när den adresserar videominnet. Om WAIT-signal ska generas eller inte, avgörs genom att jämföra läget på signalerna RACK och F3 när signalen \overline{VR} (som markerar att CPU vill ha access till videominnet) blir aktiv.

Varje gång RACK går hög stegas kolumnräknaren med ett och en ny adress läggs in till videominnet. RACK går också till J-ingången på JK-vippan i pos 3A. Vippan klockas på F3:s positiva flank vilket gör att Q-utgången blir aktivt låg. Signalen från vippan läggs in på OR-grinden i pos 6A och fungerar som WAIT-ENABLE. Om WAIT-ENABLE är aktiv och om signalen \overline{VR} är låg, genereras signalen \overline{ZW} . \overline{ZW} kommer att vara låg tills nästa positiva flank av F3, då Q-utgången på JK-vippan ettställs. Under tiden \overline{ZW} är låg, stoppas eventuellt CPU:n. Detta beror på vid vilken tidpunkt som skriv- eller läscykeln börjat i förhållande till RACK:en. Om skriv- eller läscykeln börjar då RACK har positiv flank, stoppas CPU:n under en clockperiod. I annat fall skulle adresserna läggas ut från CPU:n samtidigt som data läses från videominnet. Detta sker ungefär då RACK går låg. Den exakta tidpunkten bestäms av AND-grinden i pos 5B, där 6 MHz, F3 och signalen från JK-vippan i pos 5A grindas. Signalen från JK-vippan spärrar via AND-grinden utläsningen av data från videominnet då CPU:n läser eller skriver i videominnet. Normalt öppnar bufferten i pos 4C vid varje positiv flank av F3. Se tidsdiagram.

I AND-grinden i pos 5B avkodas \overline{BMRQ} , \overline{BRFSH} och \overline{VR} . När utgången på grinden går hög, läggs reset-ingången på vippan i pos 5A hög. J-ingången på vippan styrs av de grindade signalerna \overline{VR} och WAIT-ENABLE. När J-ingången är ett, går Q-utgången hög när nästa negativa flank kommer på klockingången (F3). Q-utgången definierar tiden då CPU:n kan använda videominnet. Q-utgången styr multiplexrarna i pos 2C och 3D via select-ingångarna så att adresserna från CPU:n läggs in till videominnet. Samtidigt får set-ingången på vippan i pos 3A hög nivå och AND-grinden i pos 5B, stift 9, hög nivå. Beroende på om det är läsning eller skrivning händer följande:

Om \overline{MRD} är aktiv, dvs CPU:n vill läsa, kopplas \overline{MRD} via OR-grinden i pos 6A till OE-ingången på bufferten i pos 4B samt via multiplexern i pos 3D till videominnets \overline{WP} -ingång, varvid CPU kan läsa data via bufferten.

Om \overline{MRD} är hög kommer \overline{WR} -ingången att bli låg för att markera skrivning. Samtidigt kommer JK-vippans (pos 5B) utgångar att slå om och öppna bufferten i pos 4A och CPU kan skriva data i videominnet.

\overline{CS} till videominnet styrs av F3 och är alltid aktiv när F3 är låg.

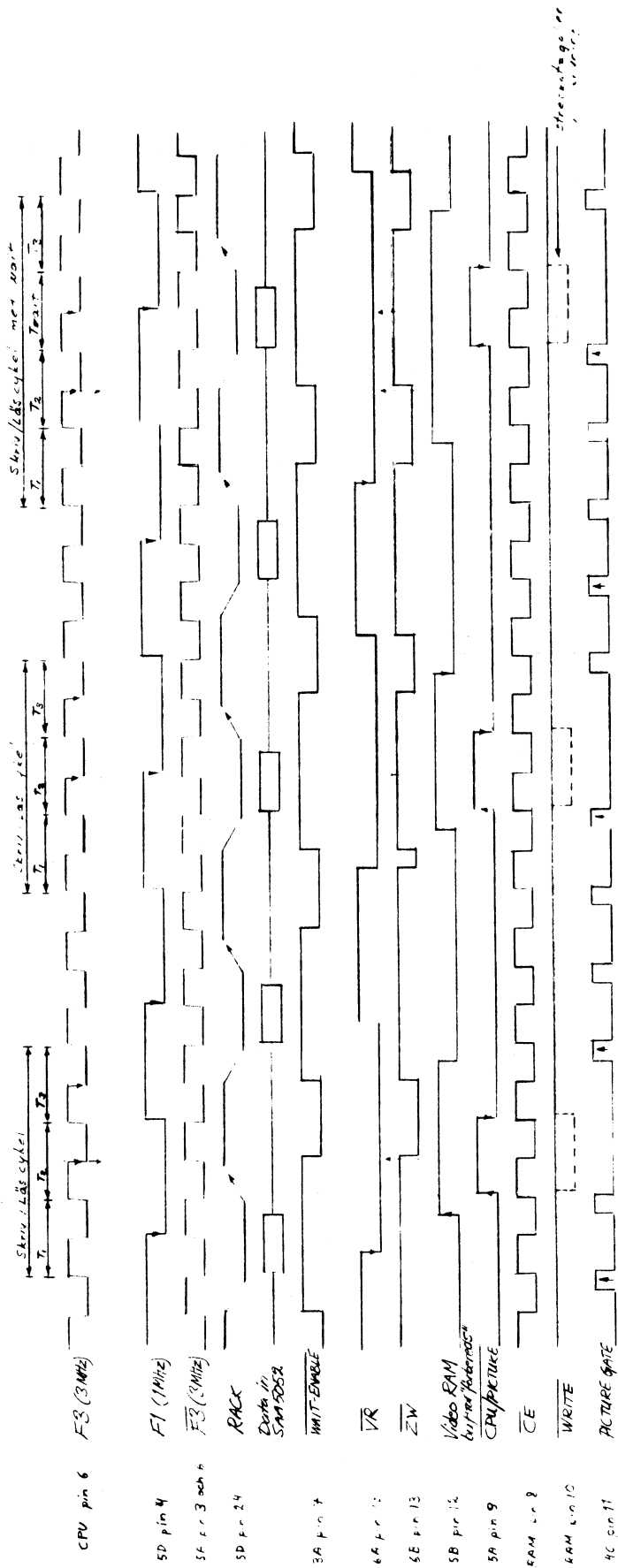


Fig. 15 VU/C timing

2.4 Tangentbordet

Tangentbordet i ABC800 har kapacitiva switchar. Detta innebär en god livslängd eftersom inga mekaniska delar är väsentliga för funktionen.

Tangenterna, 77 st, ligger i en matris 12 X 8 bitar, som drivs och avkodas av två speciella IC-kretsar, Z8 22-00950-003 och Z10 22908-03.

EPROM:et i position Z7 är ett 2758 alt. 2716, som innehåller mikroprocessorns program.

EPROM:et i pos Z6 finns inte med i det svenska tangentbordet. Det är ett EPROM som endast ingår om tangentbordet ska generera koder som avviker från svensk standard.

74LS373 i pos Z5 är en 8 bit latch som användes för att adressera de yttre minnena i pos Z6 och Z7.

74LS193 Synchronous 4-bit Up/Down Counter i pos Z1 och Z3 används för att dela ner processorns ALE-signal (Address Latch Enable) till en klockfrekvens som är 16 x bithastigheten på tangentbordets serieutgång.

NOR-grindarna i pos Z2 används som buffert för utsignalerna.

8-bit Latch i pos Z4 lägger ut parallelldata från tangentbordet.

Mikroprocessorn i pos Z9 handhar kommunikationen mellan tangentbordets olika enheter och sänder data till datautgångarna. Processorn finns i två utföranden, 8035 och 8048. 8035 har sitt program i ett yttre minne i pos Z7. 8048 har ett internt programminne, som är maskprogrammerat. I detta fall bortfaller kretsen i pos Z7 samt adress-latchen i pos Z5. Processorn är programmerad att, för varje tangent, ge ASCII-koder enligt svensk standard (SIS 66 22 41, SIS 63 61 27). Om andra koder önskas måste en omvandlingstabell läggas i ett särskilt minne (pos Z6), och då måste latchen i pos Z5 också vara med för att processorn ska kunna adressera minnet. Kondensatorn C10 (22 pF) monteras i tangentmatrisen i pos (XB, Y1). C10 talar om för processorn att omvandlingstabellen finns.

Även 8048 kan användas med yttre programminne. När EA-ingången (External Access), stift 7, sätts hög, kopplas det interna programminnet bort. På ABC800's tangentbord kan detta göras genom att strappningen BR1 tas bort.

Matrisen består av 12 ledningar i X-led och 8 ledningar i Y-led. I varje korsningspunkt mellan två ledningar ligger en tangent. Från processorn kommer en 4-bit adress till avkodaren i pos Z8. Adressen innehåller en X-koordinat till matrisen. En strobe-puls från processorn, stift 37: P26, latches in X-adressen i avkodaren och samtidigt får den andra avkodaren i pos Z10, som avkodar Y-koordinaten, en RESET-puls. X-avkodaren lägger ut en strobe på den valda koordinaten. Stroben består av 2 pulser som är ca 1 us långa med 50 us mellanrum. När en eller flera tangenter trycks ner så ökar kapacitansen mellan X- och Y-ledningarna på tangentens position. Detta innebär att stroben kopplas kapacitivt från X-ledningen till Y-ledningen och känns av och avkodas i Y-avkodaren. Från denna kommer 8 bitars data, som motsvarar tillståndet hos de 8 Y-ledningarna. Processorn sätter ihop X-adressen och Y-avkodarens utsignal och omvandlar dem till en ASCII-kod, som motsvarar den nedtryckta tangenten.

Tangentbordet har utgång för seriellt och parallellt snitt. I detta fall används seriellt snitt.

Seriedata nycklas ut på processorns stift 35, P24, och buffras sen i OR-grinden i pos Z2 innan det går vidare till datorn. Formatet är 1 startbit, 8 databitar och 2 stoppbitar (positiv logik). Hastigheten är 600 bit/s. Utgången BC har en frekvens som är 16 x bithastigheten. Denna signal används i ABC800 som mottagningsklocka för tangentbordet.

För att få parallelldata ut måste en kondensator, 22 pF, lödas in i matri-sen i pos XB,Y0. Parallelldata kommer från processorns databuss och latchas i Z4. En strobe kommer från processorns stift 36, P25, för varje tangent som trycks ner, och buffras och inverteras i OR-grindarna i pos Z2, så att man får ut både en positiv och en negativ strobe.

Den använda processorn har ingen särskild adressbuss. Adressering av något yttre minne sker genom att en adress läggs ut på databussen och latchas i pos Z5 med signalen ALE. Därefter väljs ett av minnena genom att stift 8, RD, eller stift 9, PSEN, på processorn går låg. Därefter läses en byte från databussen.

Processorn har en inbyggd klockoscillator som styrs av en yttre kristall på 6 MHz.

Reset av tangentbordet sker vid spänningstillslag. En kondensator på 10 uF ligger på RES-ingången och håller den låg tills matningsspänningarna har stabiliserats.

Dioderna CR1 och CR2 på de yttre minnena OE-ingångar, förhindrar att dessa minnen blir felaktigt aktiverade vid spänningstillslag. Dioden CR3 förhindrar att felaktiga data latchas till parallellutgången.

Fyra specialtangenter finns; CAPS LOCK, CTRL samt två SHIFT. Dessa tangenter har inga egna ASCII-koder utan deras uppgift är att ställa om funktionen hos de övriga tangenterna, som härigenom kan tilldelas 8 olika koder var. CAPS LOCK är dubbelverkande så att första tryckningen aktiverar funktionen och andra tryckningen deaktiverar den. Aktivt tillstånd indikeras genom att lysdioden i tangenten lyser. CTRL och SHIFT är enkelverkande.

LOWER CASE	ex. abcd1234
SHIFT	ex. ABCD!"#
CTRL	specialkoder för t.ex bildskärmskontroll
SHIFT+CTRL	specialkoder för t.ex bildskärmskontroll
CAPS LOCK	ex. ABCD1234
CAPS LOCK+SHIFT	ex. ABCD!"#
CAPS LOCK +CTRL	specialkoder för t.ex bildskärmskontroll
CAPS LOCK+SHIFT+CTRL	specialkoder för t.ex bildskärmskontroll

Tangenterna PF1 - PF8 ger unika koder för kombinationerna SHIFT, CTRL och SHIFT+CTRL. Sammanlagt 32 olika koder.

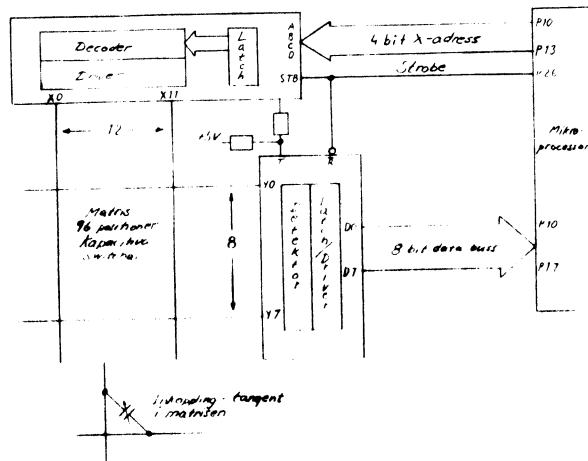


Fig 16 Blockschema tangentbord

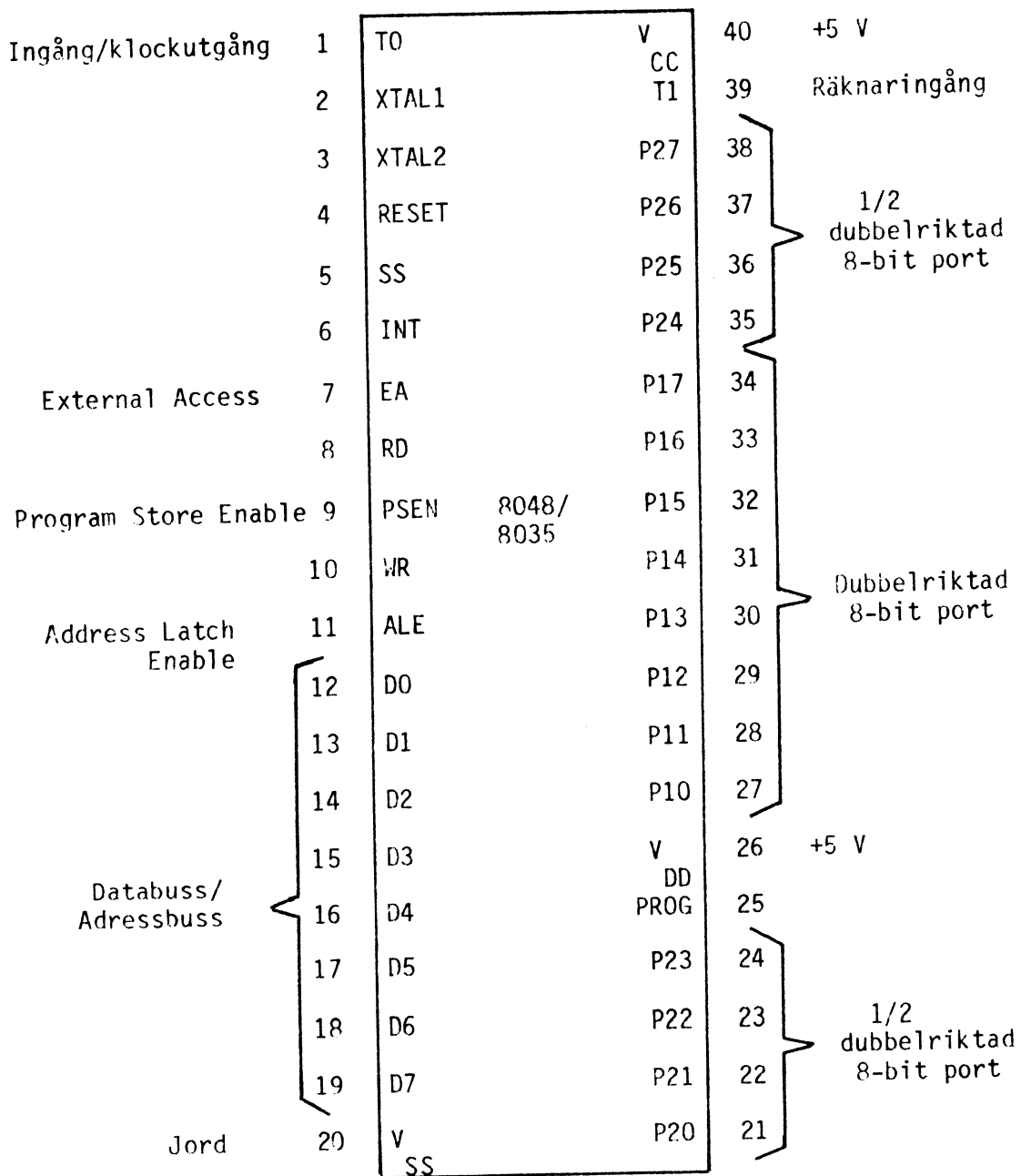


Fig 17 Mikroprocessor 8048/8035

2.5 DC/DC-modulen

ABC800 får matningsspänning från bildenheten via DISPLAY/POWER-kontakten. Inkommande spänning är 17-30 VDC. Denna spänning anpassas av en DC/DC-omvandlare till ABC800's behov, +5 V, +12 V och -12 V. Fördelen med att ha en DC/DC-omvandlare, i stället för en serieregulator, är att inspänningen kan tillåtas variera mycket, utan att förlusteffekten påverkas.

DC/DC-omvandlaren kan delas upp i följande block (se fig 18):

- o Styrfunktion
- o Switchar
- o Rippelfilter
- o Frihjulsdioder
- o RFI-filter (RFI=Radio Frequency Interference)
- o +12 V och -12 V-stabilisering

Styrfunktionen består av en integrerad krets, TL497, och dess kringkomponenter. Styrfunktionens uppgift är att styra switcharna så att utspänningen efter rippelfiltret hålls konstant.

TL497 får sin matningsspänning, +12V, via ett motstånd (R7) och en zenerdiod (D4).

Utsignalen från styrkretsarna är en pulsbreddmodulerad kantvåg på TL497, stift 10. Under kantvågens låga delperiod så drar TL497, via stift 10, en konstant basström från switcharna så att de blir ledande. Under kantvågens höga delperiod flyter ingen basström och switcharna är oledande.

Tidsförhållandet mellan ledande och icke ledande tillstånd är beroende av förhållandet mellan inspänning till och utspänning från DC/DC-omvandlaren samt det aktuella strömuttaget. Den icke ledande delperiodens längd varierar av TL497, medan den ledande delperioden är konstant ca 8 mikrosekunder och bestäms av C13. Detta förhållande gör att kantvågens frekvens varierar med olika inspänningar och belastningar (ca 16 - 50 kHz). Hög inspänning och liten belastning ger låg frekvens, medan låg inspänning och hög belastning ger hög frekvens.

Switcharna är i variant -01 av DC/DC-omvandlaren PNP-Darlington-transistorer, BDY34, och i variant -02 en kvasi-darlington-koppling bestående av BC636 och BU406.

Switcharnas uppgift är att släppa fram strömmen i pulser till rippelfiltren.

Rippelfiltren består av L3 och L4 samt C17. Pulserna som kommer in i L3 och L4 integreras till en konstant DC-spänning på 5 V, med lite rippel, över C17. Under den tid switchen leder ökar strömmen genom L3 och L4. När switchen inte leder så minskar strömmen genom L3 och L4. Strömmen genom induktanserna kan inte sjunka till noll omedelbart, utan den fortsätter att flyta, men nu genom frihjulsdioderna.

Frihjulsdioderna D2 och D5 är kiseldioder av typen "Fast Recovery". När switcharna är öppna så flyter ström genom dioderna. När switcharna börjar leda blir dioderna förspända i backriktningen. De måste då utan fördröjning övergå till spärrande tillstånd.

RFI-filtret består av L1, L2 och C14. RFI-filtret hindrar de höga frekvenskomponenterna, som uppstår vid switchningen, att spridas till omgivningen utanför DC/DC-omvandlaren. Detta för att minska risken för störningar på radio- och TV-mottagare och annan utrustning. Filtrering sker på både ingångs- och utgångssidan av omvandlaren.

+12 V och -12 V-stabiliseringen är uppbyggd av D3, I3, C9 och C10 respektive D1, I2, C5 och C3. En liten del av energin i rippelfiltren tappas av och likriktas i D1 och D3, filtreras i C5 och C9 och stabiliseras i I2, I3, C3 och C10. Om ingen ström flyter från +5 V-utgången så finns ingen energi att tappa av till +12 V och -12 V-stabiliseringarna. Därför måste DC/DC-omvandlaren vara belastad när dessa spänningar mäts.

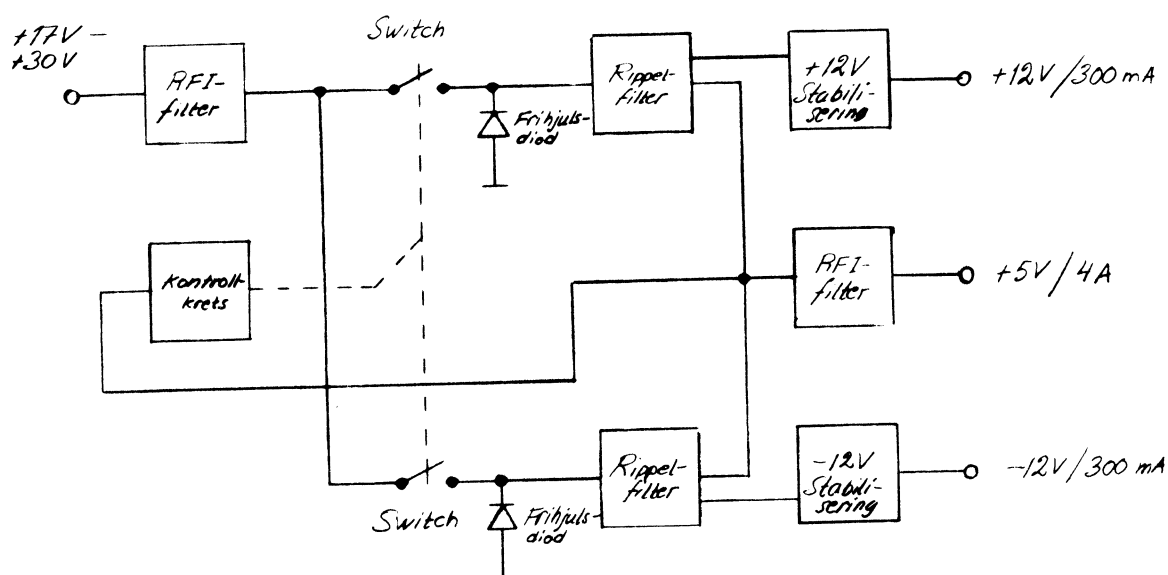


Fig 18 Blockschemat DC/DC-modulen

2.6 Optioner

2.6.1 Högupplösningkortet

Högupplösningsskärmen (HR-kortet) kopplas parallellt med PU-kortets data-, adress- och kontrollledningar via VU-kontakten. HR-kortets minnesarea (0-16 kbyte) ligger parallellt med CPU:ns ROM-area 0-16 kbyte. HR-kortets minne adresseras på ett speciellt sätt. Med signalen \overline{HR} , som kommer från PU-kortet, begär CPU:n att få skriva eller läsa i HR-kortets RAM-minne. \overline{HR} -signalen beskrivs i avsnitt 2.1.4.

Om man i ett assemblerprogram vill ha tillgång till HR-minnet eller göra dataflyttningar kan detta göras på olika sätt. Ett sätt är att använda CALL eller JUMP till adress 7FFDH, där instruktionen LDIR följs av ett RET finns. När LDIR-instruktionen exekveras kommer HR-RAM automatiskt att kopplas in och data kan överföras mellan minnesareor, som adresseras av värdet i HL- och DE-registren med BC-registret som byteräknare. Det andra sättet, som permanent kopplar in HR-kortets RAM-minne, är att exekvera instruktionerna OUT 35,5 och OUT 35,128. För att koppla bort HR-minnet igen exekveras instruktionerna OUT 35,5 och OUT 35,0. Observera att man måste exekvera instruktionen DI innan HR-minnet kopplas in.

Det finns två portar på HR-kortet, som man kan skriva i med OUT-kommandon. Med OUT 7,data skriver man till kontrollport 7. Med OUT 6,data skriver man till kontrollport 6.

Port 7

D0-D5: Färgval

D6: Videosignal (HR-grafik) till/från

D7: Videosignal (text) till/från

Port 6

D0-D7: Linjeadress

Genom att ändra från 0, som är det vanliga innehållet i registret, kan man förskjuta bilden i höjddled, dvs man anger linje 0-239 där vertikalavsökningen ska starta.

Blockchemabeskrivning (se fig 19)

Grafikminnet (videominnet) består av ett 16 kbyte dynamiskt RAM. Avsökningen görs med hjälp av en linje- och en kolumnräknare. Avsökningsadresserna går via en multiplexer till minnet. Data läses ut från videominnet två byte åt gången. Data delas upp och läses in i två skiftregister. En bit från vardera skiftregistret innehåller tillsammans information om en dot (pixel). Bitarna utgör tillsammans med data från port 7, adressen till Dot-PROM, som lämnar RGB- och Y-signal.

PX1 PX2

0 0 Släckt pixel.

0 1 Tänd pixel med färg 1 enligt data i port 7.

1 0 Tänd pixel med färg 2 enligt data i port 7.

1 1 Tänd pixel med färg 3 enligt data i port 7.

RGB- och Y-signalerna läses ut från den efterföljande låskretsen med Dot Clock (6 MHz). Signalen Picture Enable innehåller information om den aktiva bildytan på bildskärmen, dvs anger när informationen ska visas. I mixern adderas videosignalen från HR-minnet med videosignalen från VU-kortet, om bit D7 i port 7 är aktiv. Från HR-kortet erhålls alltid en färgsignal (RGB), medan man från VU-kortet endast erhåller en luminanssignal om kortet är ett VU/M-kort.

Till styr- och kontrollogiken erhålls följande signaler:

6 MHz signalen, som kommer från VU-kortet, används som klocksignal.

Signalen PICE-2, som kommer från VU-kortet, synkroniserar HR-kortets styrlogik med VU-kortets styrlogik.

DEW, som kommer från VU-kortet, används för synkronisering av HR-kortets bildstart med VU-kortets bildstart.

Signalen HR aktiveras när CPU vill ha access till HR-minnet. I vissa fall genererar styrlogiken WAIT till CPU. Detta för att inte den normala avsökningen ska störas.

Från styr- och kontrollogiken erhålls följande signaler:

LSC (Load Shift Control), som består av ett flertal styrsignaler, används för att ladda data från videominnet in i skiftregistren.

Dot Clock (6 MHz) används för att lägga ut RGB- och Y-signalerna från låskretsen.

PE (Picture Enable) är en något fördröjd PICE-2.

RLS används för att räkna upp linjeräknaren (0-239).

CLS används för nollställning av kolumnräknaren vid linjestart.

RAM Control, som består av flera signaler, styr bla multiplexern mellan CPU-adresser och avsökningsadresser samt innehåller RAS (Row Address Strobe) och CAS (Column Address Strobe) till videominnet. Eftersom RAM-minnet består av 4116-kretsar, görs adresseringen i två steg. Detta handhas också av multiplexern med hjälp av signaler i RAM Control.

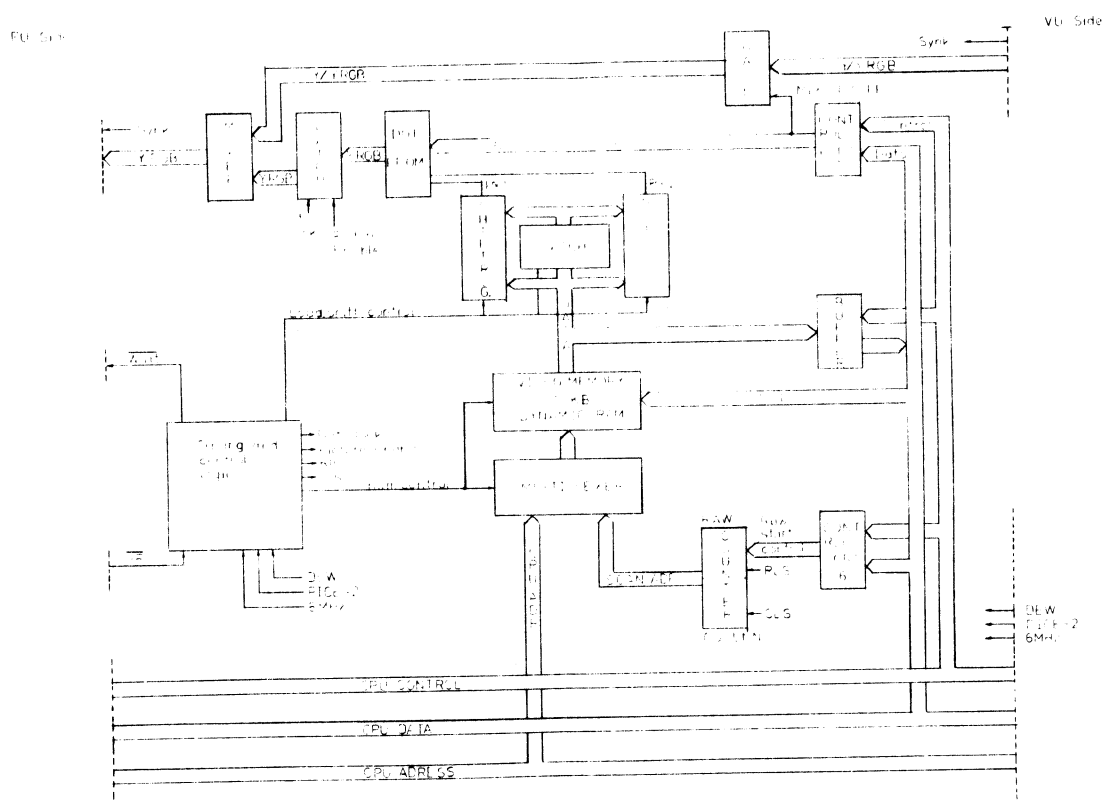


Fig 19 Blockschemat HR-kortet

Detaljbeskrivning

Styr- och kontrollogiken består av ett PROM (pos 4G), som adresseras från räknaren i pos 5G med adresserna 0 - 7 i en återkommande sekvens ett antal gånger under en linje.

Synkronisering i början på varje linje sker med hjälp av kretsarna i pos 6G och 6F. Som synkroniseringssignal används PICE-2, som kommer från VU-kortet via D-vippan i pos 5F. Ut från kretsarna i pos 6G och 6F erhålls först två signaler som synkroniserar PROM:et via signalen RLS och därefter signalen PE (Picture Enable), som öppnar låskretsen i pos 5A och släpper igenom videosignalen.

I tidsdiagrammet (fig 24) sker insynkronisering i T0 - T13 (bildstart). Observera i tidsdiagrammet att signalerna generellt clockas med 6 MHz. Klockpulsens frekvens kommer alltså några nanosekunder före omslaget vilket inte framgår av tidsdiagrammet. Vid T14 - T23 läses två byte ur minnet. Vid T24 - T29 har CPU:n möjlighet att få access till minnet. Sekvensen upprepas 30 gånger under en linje. Förloppet beskrivs två gånger i tidsdiagrammet. Det andra förloppet beskriver vad som händer när CPU:n läser eller skriver i minnet.

RLS används för att räkna upp linjeräknaren i pos 2B och 2D. RLS grindas också med DEW, som är aktiv i bildfältets början, varvid innehållet i registret i pos 3C laddas in i linjeräknaren. Detta innebär att bildavsökningen startar från det värde som är programmerat i registret i pos 3C med instruktionen OUT 6, linjeaddress. Vid spänningstillslag laddas värdet "noll" i registret.

Signalerna från PROM:et (pos 4G) går via en buffertkrets i pos 3G ut på HR-kortet och har följande funktioner:

CLS-signalen kommer i början på varje linje och nollställer kolumnräknaren i pos 2F.

Signalen från stift 9 går till databufferten i pos 3D. Signalen är aktiv efter det att data har lästs ut från HR-minnet vid den normala avsökningen, dvs under den tid som CPU har möjlighet att läsa data från minnet. Databuffertens OE-ingång styrs från 1-av-8 avkodaren i pos 5B. Signalen på OE-ingången är aktiv när CPU läser data. När CPU ska skriva data i HR-minnet aktiveras stift 9 på 1-av-8 avkodaren. Signalen går vidare till JK-vippan i pos 5C, stift 3. SET-ingången på vippan styrs av WE, som kommer från styrlogiken. O-utgången på vippan går vid skrivning låg och via multiplexern kopplas den vidare till R/W-ingången på RAM-kretsarna.

C1B går till vippan i pos 5F och fördröjs, byter namn till COUNT och går därefter till kolumnräknaren i pos 2F och räknar upp denna. C1B går också till låskretsen i pos 4D och låser data, som finns på ingångarna, till utgångarna. Data delas upp och läggs fram till skiftregistren i pos 4E och 4C. C2B går till LOAD-ingångarna på skiftregistren. C2B laddar dels in de tidigare utlagda data (på låskretsens utgångar) och dels de nya data som finns på videoninnetts utgångar. Inläsningen till skiftregistren sker i tidsdiagrammet under tiden T19 - T23. Utläsning sker med två bitar i taget (en från varje skiftregister). Bitarna skiftas ut med 6 MHz. I fig 20 visas hur data ligger i skiftregistren och vilken position de motsvarar på skärmen. I tidsdiagrammet längst ner finns ett exempel på utläsning från 4E då en punkt (FGPOINT 0,239) är tänd på skärmen. Förloppet beskrivs i förhållande till RLS-signalen.

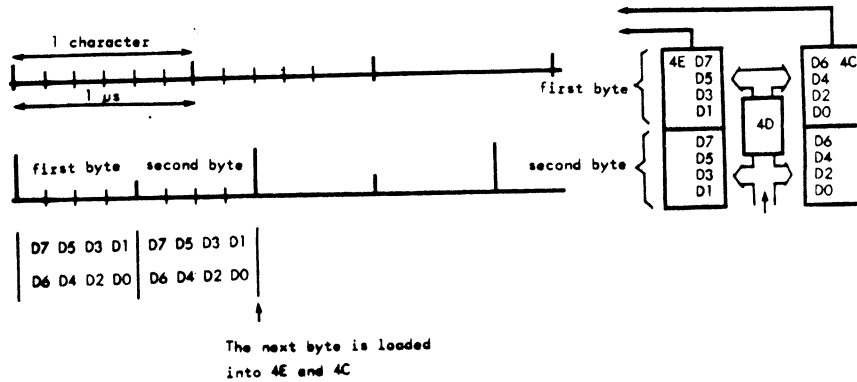


Fig 20 Läsning

När de sista bitarna D1 och D0 i andra byten har skiftats ut, går C2B-signalen låg och vid nästa klockpuls på stift 7 sker laddning av registren med två nya byte. Samtidigt får man D7 och D6 av första byten i den nya inläsningen på utgångarna (se fig 21).

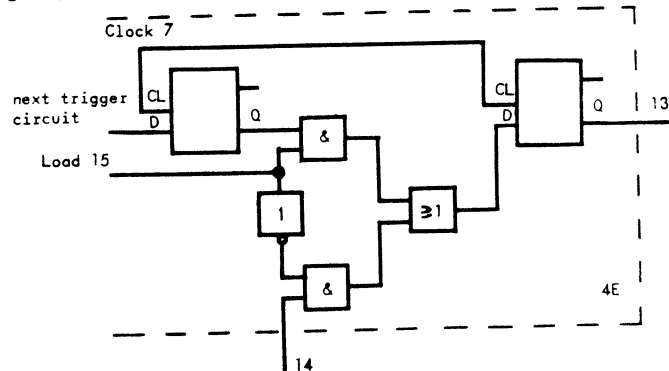


Fig 21 Skiftregister funktion

Kolumnräknaren kan räkna till 64, men eftersom en byte innehåller information om fyra punkter i följd så behöver kolumnräknaren endast räkna till 60 under varje linje (4x60 ger 240 punkter). Man utnyttjar alltså inte de sista fyra byten. Linjeräknaren räknas upp med RLS-signalen samtidigt som kolumnräknaren nollställs med CLS, vilket ger en avsökning av videominnet enligt fig 22.

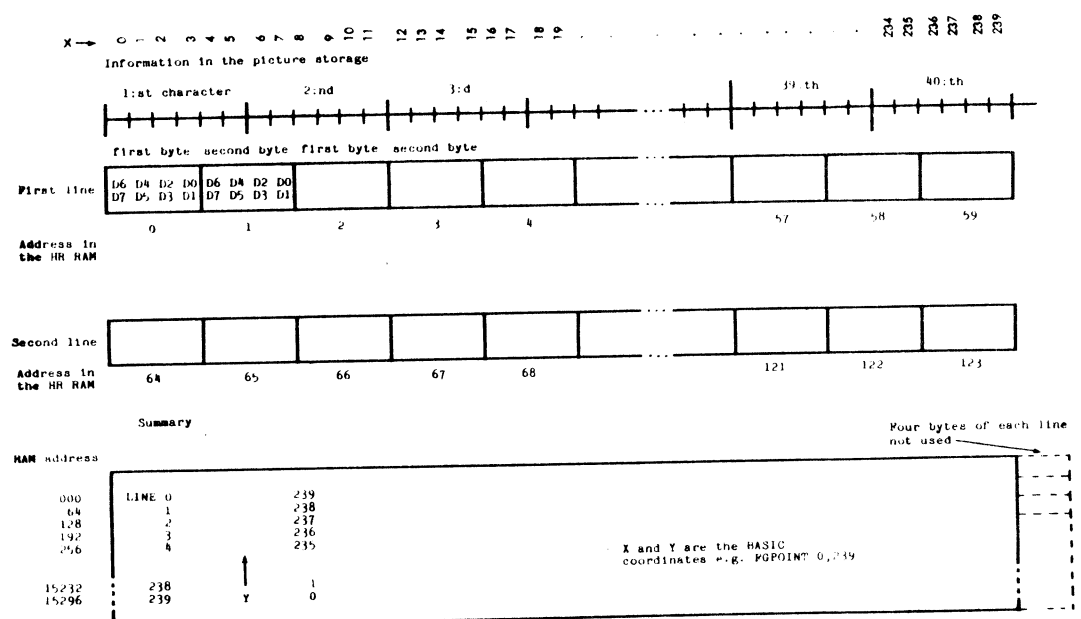


Fig 22 Kolumnräknarens funktion

Vid den normala avsökningen adresseras videominnet och två byte läses efter varandra. Styr- och kontrollogiken genererar en liten "tidslucka" för CPU:n att läsa eller skriva i minnet.

Adresseringen av videominnet sker i två faser beroende på att minneskretsarna endast har sju adressgångar. Under första fasen kopplas den höga adressdelen fram till minnet och läses in med RAS (Row Adress Strobe). Därefter kopplas multiplexrarna om med signalen MUX B och den låga adressdelen kopplas fram till minnet och läses in med CAS (Column Adress Strobe).

Videominnet adresseras med sk Page Mode Read, vilket innebär att vid läsningen av de två byten avges en RAS och två CAS. Mellan de två CAS-signalerna räknas kolumnräknaren upp med signalen COUNT.

Signalen MUX B kopplar om multiplexrarna mellan låga och höga adressdelar medan signalen MUX A växlar multiplexrarna mellan CPU- och avsökningsadresser. Refresh av videominnet sker vid den kontinuerliga avsökningen.

Under "tidsluckan" för CPU går signalen CPU/PIC låg och kopplar om signalen MUX A, vilket medför att CPU-adresser kopplas in till videominnet. Men för att CPU ska kunna läsa eller skriva i minnet måste signalen HR vara aktiv.

HR-signalen från PU-kortet markerar att CPU vill ha access till videominnet. Signalen ZW är aktiv när HR är aktiv och RELE inte är aktiv. Signalen RELE känns av i kretsarna i pos 3E, 3F och 5E och när RELE blir aktiv, genereras signalen WE, som möjliggör skrivning eller läsning i videominnet, samtidigt inaktiveras signalen ZW, som går till WAIT-ingången på CPU.

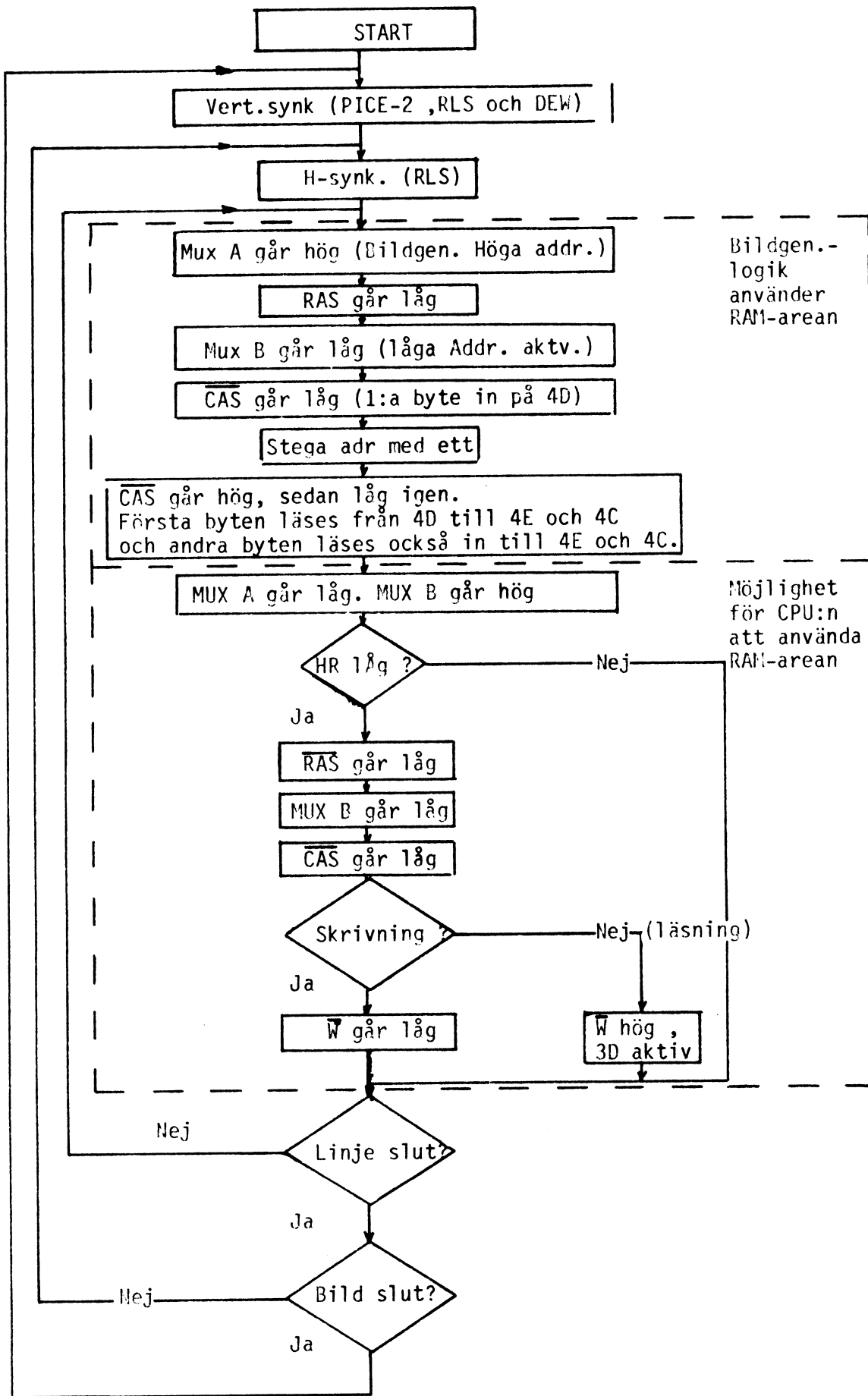


Fig 23 Avsökning av videominnet

Tid	Funktion	Kommentar		
T0	5F 13	synchronisering	Insynkronisering börjar. PICE-2 går låg.	
T2	5F 15		Nolla skiftas fyra positioner i 6F.	
T3-T10			RLS ("linjestart").	
T11	6G 10		PROM-adress.	
T13	4G 9	4G nollst. CPU/PIC förbereder omkoppl. av MUX A.		
T14	2E 14	Två byte läses ur minnet	MUX A går hög.	
T15	3F 2		Bildgen.logik (räknarna) kopplas in. RAS går låg.	
T16	5F 3		Höga adr. (vert.adr) avkodas i minnet.	
T17	3G 16		MUX B går låg. CAS går låg.	
T18	RAM stift 5		Låga adr. (kolumn adr.) avkodas i minnet för 1:a byten. Data läses (1:a byten) från minnet till 4D.	
T19	3G 6		Låga adr.till RAM stegas med ett RAM stift 5	
T21	3G 6		CAS går hög.	
T23	3G 2		CAS går låg. Låga adr. avkodas i minnet för 2:a byten. 1:a byten läses från 4D till 4C och 4E (övre halvan). 2:a byten läses från minnet till 4C och 4E (undre halvan). CPU/PIC går hög (CPU kopplas in).	
T31			Exempel då CPU skriver i RAM:et	I exemplet går HR låg vid T31.
T33	3E 5			CPU:n stoppas.
T34	3F	Vippan 3E förblir hög tills vidare.		
T39	3G 2	CPU/PIC går hög. I grinden 4F förbereds omkoppling av 3F med signalerna CPU/PIC och från vippan 3E.		
T40		MUX A går låg.		
T41	3G 19	CPU-adr. kopplas in. RELE går låg.		
T42	4F 14	RAS går låg. De höga adresserna avkodas i minnet.		
T43	3G 16	CPU:n släpps. MUX B går låg.		
T45	RAM stift 3	De låga adresserna kopplas in. CAS går låg. De låga adresserna avkodas i minnet. Kretsen 3G stift 9 förbereder aktivering av 5C. WRITE på RAM stift 3 går låg. Data läses in i minnet.		

Fig. 24 Funktionstabell

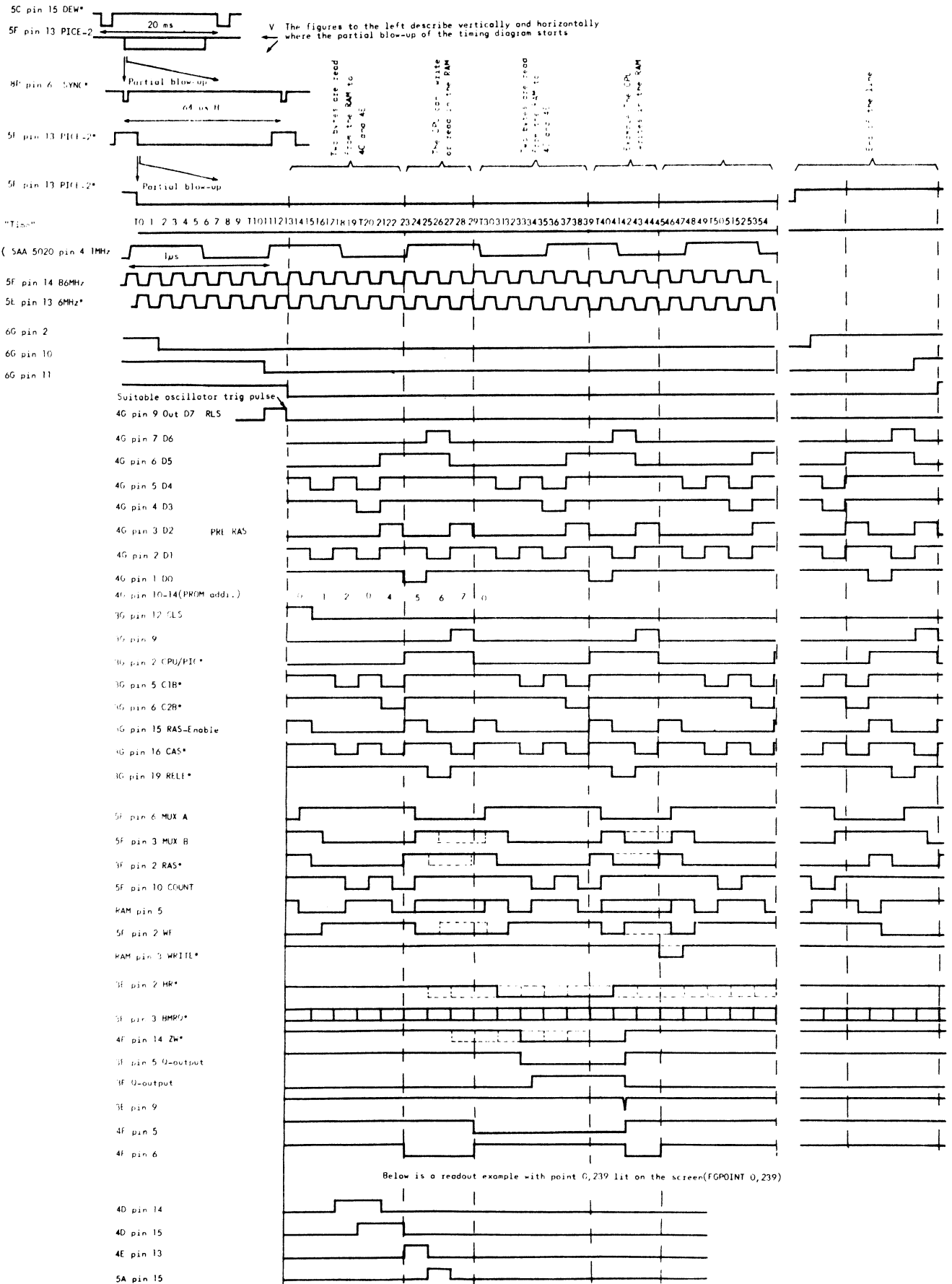
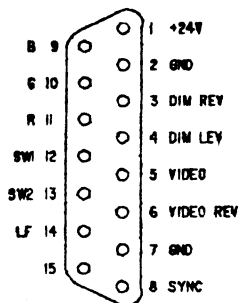


Fig. 25 Tidsdiagram

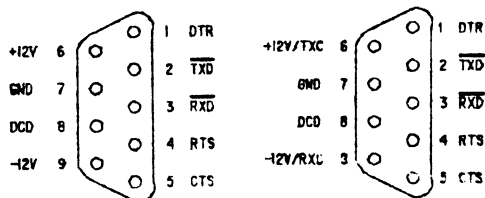
3. ANSLUTNINGSDOEN OCH ABC-BUSSEN

DISPLAY



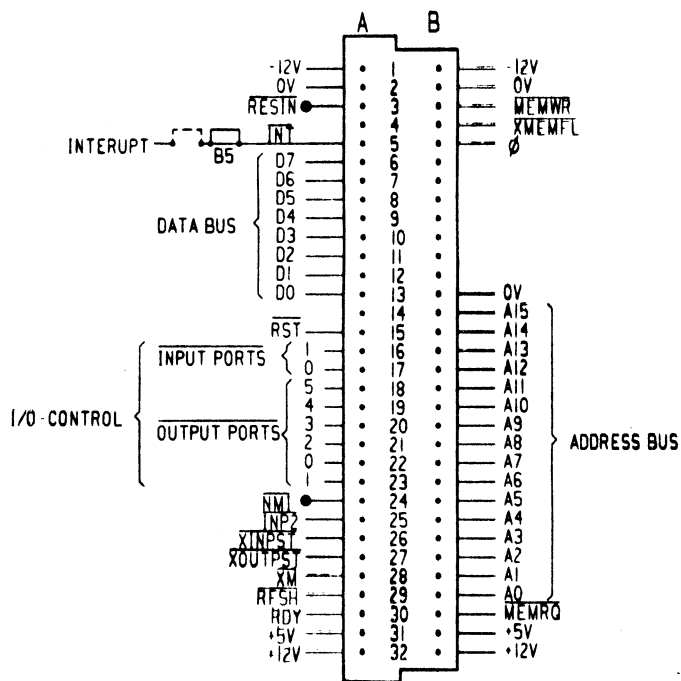
- 1 Matningsspänning (+17 - +28V)
- 2 Kraftjord
- 5 Video
- 7 Signaljord
- 8 SYNK (H + V)
- 9 B-signal (blå)
- 10 G-signal (grön)
- 11 R-signal (röd)
- 14 LF

CH A / CH B



- 1 DTR (Data Terminal Ready)
- 2 TxD (Transmit Data)
- 3 RxD (Receive Data)
- 4 RTS (Request to Send)
- 5 CTS (Clear to Send)
- 6 DSR (+12V)
- 7 GND (Jord)
- 8 DCD (Data Carrier Detect)
- 9 -12V

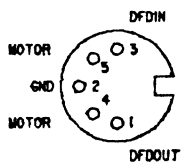
ABC-BUSS



Stift Spänning

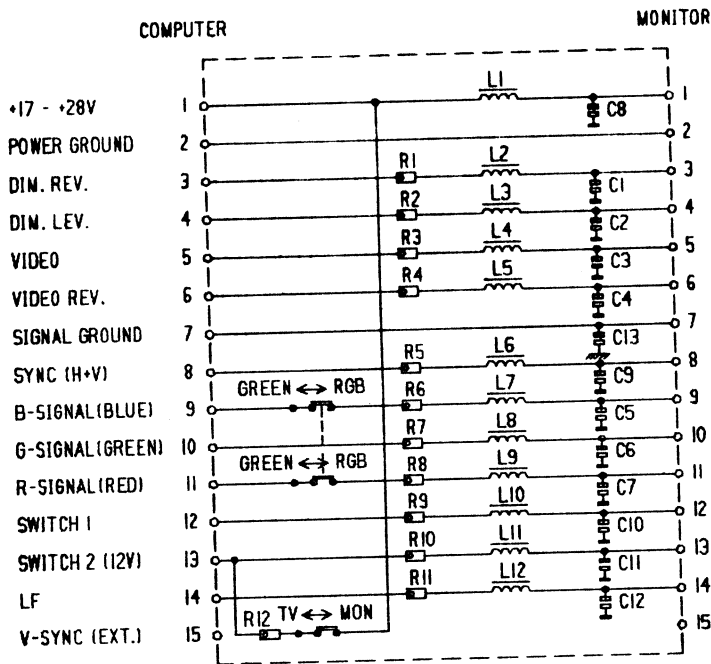
Stift	Spänning	Effekt
DISPLAY 1	+17-+28 V	35W
CH.A/CH.B 6	+12 V	
9	-12 V	Ström max
ABC-bussen A1,B1	-12 V	200 mA
A32,B32	+12 V	
A31, B31	+ 5 V	Ström max 1 A

TAPE



- 1 Signal ut
- 2 Jord
- 3 Signal in
- 4 Motorstyrning
- 5 Motorstyrning

Signalfilter monitorkabel 43 71416-01



R1 - R11	82 ohm	61 00058-01
R12	470 ohm	61 29256-01
L1 - L12	0,5 uH	59 56759-01
C1 - C7	220 pF	62 00123-01
C8 - C12	1 nF	62 21339-01
C13	4,7 nF	62 00052-01
S1 - S2		56 30066-01

4. MINNESDISPOSITION

Mminneskarta ABC M/C HR utan flexskiveenhet ansluten

DECIMAL ADRESS		HEXADECIMAL ADRESS	OKTAL ADRESS
65280	ENKLA VARIABLER	FF00H	377:000
65024	CASBUF 2	FE00H	376:000
64768	CASBUF 1	FD00H	375:000
	32 KB RAM ARBETSMINNE		
32786		8000H	200:000
31744	2 KB RAM BILDMINNE 1	7C00H	174:000
30720	2 KB ROM GRAFIK 2	7800H	170:000
28678	2 KB ROM PRINTER/TERMINAL	7000H	160:000
24576	4 KB ROM DOS	6000H	140:000
16384	24 KB ROM BASIC	4000H	100:000
	16 KB RAM GRAFIK 2		

1. ABC 800 C använder endast 1 KB bildminne (31744–32786).
2. Bildminnet (2 KB) på VU-kortet ligger parallellt med systemprogrammet för grafik (2 KB) på PU-kortet. Likaså ligger bildminnet för grafik (16 KB) parallellt med systemprogrammet för BASIC. De olika minnesareorna inkräktar dock inte på varandra utan ABC 800 går över i en specialmod då grafikminnet adresseras.

Minneskarta ABC 800 med flexskiveenhet ansluten

DECIMAL ADRESS		HEXADECIMAL ADRESS	OKTAL ADRESS
65280	ENKLA VARIABLER	FF00H	377:000
65024	LEDIGT FÖR POKE	FE00H	376:000
64768	SYSTEMVARIABLER	FD00H	375:000
64512	CASBUF 2 DOSBUF 7	FC00H	374:000
64256	CASBUF 1 DOSBUF 6	FB00H	373:000
64000	DOSBUF 5	FA00H	372:000
63744	DOSBUF 4	F900H	371:000
63488	DOSBUF 3	F800H	370:000
63232	DOSBUF 2	F700H	367:000
62976	DOSBUF 1	F600H	366:000
62272	DOSBUF 0	F500H	365:000
	STACK		
	32 KB RAM		
	ARBETSMINNE		
	Övrigt minnesutrymme identiskt med föregående minneskarta		

5. RESERVDELSLISTA

POSITION	BENÄMNING	ARTIKELNUMMER
1	ABC 800 C	190 9210-11
	ABC 800 M	190 9210-15
2	Kåpa tr.	40 09210-10
3	RXK B4x8	51 10653-10
4	Störstrålningsskydd 2	44 20571-01
5	Ventilationsgaller	44 20696-01
6	Kabelhållare	52 20008-01
7	Tangentbord sv.	19 40008-11
8	Plåtclips	52 00009-05
9	Störstrålningsskydd 1	44 20570-01
10	RXS B6x9.5	51 10798-07
11	Botten kpl	44 20695-02
13	RXK B6x6.5	51 10476-07
14	Lucka	44 20583-01
15	Kontaktplåt	44 20580-01
16	Kabel TG-B 5pol kpl	43 71417-01
17	RXK B6x4.5	51 10475-10
18	Ljuddel	55 20806-01
	Kabelstam	43 71428-01
	Axel 30,8mm	42 50006-01
	Fästvinkel	44 20564-01
	Högtalare 5 cm	48 02104-01
	RXK B6x6,5	51 10476-10
19	Glidlist höger	53 30375-01
20	Glidlist vänster	53 30376-01
21	Hållare	44 20690-02
22	Styrskena	53 30483-01
23	Monitorkabel	43 71416-01
	15-pol kåpa	43 90146-01
	KK filter	55 20815-01
	Kontaktdon D-sub 15 pol	43 60365-01
	Kontaktkåpa	44 20610-01
	RXK B4x4,5	51 10738-07
	RXK B4x4,5	51 10738-10
	RXS B4x9,5	51 10923-10
24	Processorkort 40 T	55 30788-01
	Processorkort 80 T	55 30788-02
25	Kont.don 64 pol vinkl	43 60391-01
26	Skruv MCS 2,5x6	50 10897-10
	Mutter M 2,5	50 12115-10
27	Fot	40 89608-01
28	Bricka 3,75x8,6x0,5	49 11373-11
29	RXK B6x8	51 10478-07
30	Hållare	44 20690-01
31	RXK B4x4.5	51 10738-10
32	Högupplösningsskort (HR)	55 20791-01
33	Video 40 T	55 30789-01
	Video 80 T	55 30790-01
35	Kabel kraft 2 pol kpl	43 71418-01
36	Kabel kraft 4 p	43 71313-02
37	DC/DC Modul kpl	44 30135-02
38	RXK B6x9,5	51 10630-07
39	Kontaktfjäder 2x9pol	44 20611-01

40	RXK B6x4,5	51 10475-10
41	RXK B4x6.5	51 10599-10
42	Gavel	44 10119-01
43	Lådprofil	44 20529-01
44	Lådprofil	44 20529-02
45	KK DC/DC	55 20807-02
46	Gavel	44 10120-01
47	Referenskort	66 79210-16
49	Tryckomkopplare	56 40091-01

6. DEMONTERING

- o Ta bort de fem skruvarna (38), som håller fast kåpan.
- o Lyft av kåpan försiktigt, så att du inte skadar tangentbordskabeln.
- o Vid demontering av VII/M, VII/C och/eller HR-kortet - ta bort de två skruvarna (31), som fixerar korten.
- o Vid demontering PU-kortet, ljuddelen och/eller DC/DC-modulen tas de två skruvarna (17) bort och skärmen lyfts av.
- o PU-kortet lossas genom att de fem skruvarna (31) tas bort.

OBS!

Var försiktig så att inte RESET-knappen bryts av.

- o Ljuddelen lossas genom att de två skruvarna (13) på baksidan tas bort.
- o DC/DC-modulen lossas genom att de två skruvarna (13) i bottenplåten tas bort. Om de fyra skruvarna (41), två i varje gavel, tas bort, kan enheten dras isär.
- o Tangentbordet lossas genom att de sex skruvarna (10), tre på varje sida, tas bort.

Siffrorna inom parantes hänvisar till sprängteckningen.

—

—

—

—

7. KOMPONENTFÖRTECKNING

7.1 Processorkort (40 och 80 tkn)

Kondensatorer

C1, C18-20, C29, C31-32, C36-37, C39-43, C45-47, C50, C54, C59-61 C63-64	10 nF ker	62 21342-01
C2-17	100 nF ker	62 00039-01
C21-22, C48-49, C55-57, C66	47 uF 16V tantal	62 50151-01
C23	220 pF ker.	62 00056-01
C24, C30, C67-68	10 uF 25V tantal	62 50021-01
C25	150 uF 6,3 V tantal	62 50152-01
C26	100 uF 16 V tantal	62 50150-01
C27-28	1 uF 35 V tantal	62 50130-01
C44, C62, C65	470 pF ker.	62 00055-01
C58	10 uF 35 V elyt	62 50127-01
C69	2,2 uF 63V elyt	62 50108-01
C70	10 nF 100V met. poly.	62 20182-01
C71	1 nF 63 V ker.	62 00028-01

Motstånd

R1, R33	100 ohm 5% 1/3 W	61 29250-01
R2-3, R8, R10, R20, R27-28, R35	1 kohm 5% 1/3 W	61 29258-01
R4-5	10 kohm x 8 5% 1/8 W	61 90021-01
R9	3,3 kohm 5% 1/3 W	61 29262-01
R11-12, R36	4,7 kohm 5% 1/3W	61 29263-01
R13	2 kohm 1% 1/3 W	61 40067-01
R14	1,5 kohm 5% 1/3 W	61 29259-01
R15, R22	1 kohm x 7 5% 1/8 W	61 90036-01
R16	5,6 kohm 5% 1/3 W	61 29291-01
R17, R19	22 kohm 5% 1/3 W	61 29268-01
R18	680 ohm 5% 1/3 W	61 29257-01
R21, R32	220 ohm 5% 1/3 W	61 29252-01
R26	330 ohm 5% 1/3 W	61 29254-01
R29, R37	10 kohm 5% 1/3 W	61 29265-01
R30	150 ohm 5% 1/3 W	61 29251-01
R31	4,7 kohm x 7 5% 1/8 W	61 90032-01
R38	12 ohm 5% 1/8	61 29442-01
R39-40	470 ohm 5% 1/3 W	61 29256-01

Processorkort, forts

Integrerade kretsar

A1-2, B1-2, C1-2, D1-2, E1-2, F1-2, G1-2, H1-2	TMS4116-20NL	64 40028-01
A3, H3	SN 74LS258AN	64 40103-01
A5, H6	SN 74LS32N	64 40034-01
A6	SN 74LS107N	64 40037-01
A7	SN 74LS74AN	64 40035-01
B5, C5	P8205	64 40052-01
B6	SN 74LS375N	64 40050-01
B7	SN 74LS191N	64 40102-01
C3	SN 7400N	64 09307-01
C4, E4, F4, G4, M6	SN 74LS241N	64 40044-01
C6	SN 74LS139N	64 40039-01
C7	SN 74LS390N	64 40105-01
E5	Z80A-CPU	64 90041-01
E7	Z80A-CTC	64 90104-01
F3	MC 79L05ACP	64 50012-01
G3	SN 74LS175N	64 40043-01
G6	SN 74LS132N	64 40038-01
G7	Z80A SIO/C (DART)	64 90103-01
H4	SN 74LS245N	64 40045-01
H5	LM 339N	64 90026-01
J1	ABC 3-1	64 90131-02
J1	ABC 3-12	64 90131-05
J2	ABC 7-1 (options-PROM)	64 90140-01
J2	ABC 7-2 (options-PROM)	64 90140-05
J6	SN 74LS13N	64 40096-01
J7	Z80A SIO/2	64 90102-01
K1	ABC 2-1	64 90130-02
K1	ABC 2-12	64 90130-05
K2	ABC 6-1	64 90134-02
K2	ABC 6-11	64 90134-03
K5	SN 7406N	64 40000-01
K6	SN 74LS51N	64 40098-01
L1	ABC 1-12	64 90129-05
L1	ABC 1-1	64 90129-02
L2	ABC 5-12	64 90133-05
L2	ABC 5-1	64 90133-02
L3	DM 81LS95N	64 40113-01
L4	SN 74LS138N	64 40100-01
L5	SN 74LS379N	64 40104-01
L6, M3	SN 74LS158N	64 40101-01
M2	ABC 4-1	64 90132-02
M2	ABC 4-12	64 90132-05
M4	SN 74LS20N	64 40097-01
M5	SN 74ALS112N	64 40099-01
P7, S7	SN 75189AN	64 90044-01
R7, T7	SN 75188N	64 90043-01

Processorkort, forts

Dioder och transistorer

D1-2, D4, D7	1N4148	63 08824-01
D3	BZX83C3V3	63 08746-01
D5-6	BZX83C3V0	63 40139-01
T1-2	BC547B	63 10011-01

Övrigt

P1	KontaktDon DIN 5 pol	43 13728-01
P2-3	KontaktDon D-SUB 9 pol	43 60260-01
P4	KontaktDon D-SUB 15 pol	43 60366-01
P8-10	Hylsdon STOCKO 20 pol	43 60399-01
P11	KontaktDon vinkl. 64 pol	43 60391-01
P12	StiftDon STOCKO 3 pol	43 60162-01
RE1	Relä 5 V 1 pol	60 20018-01

40-tecken

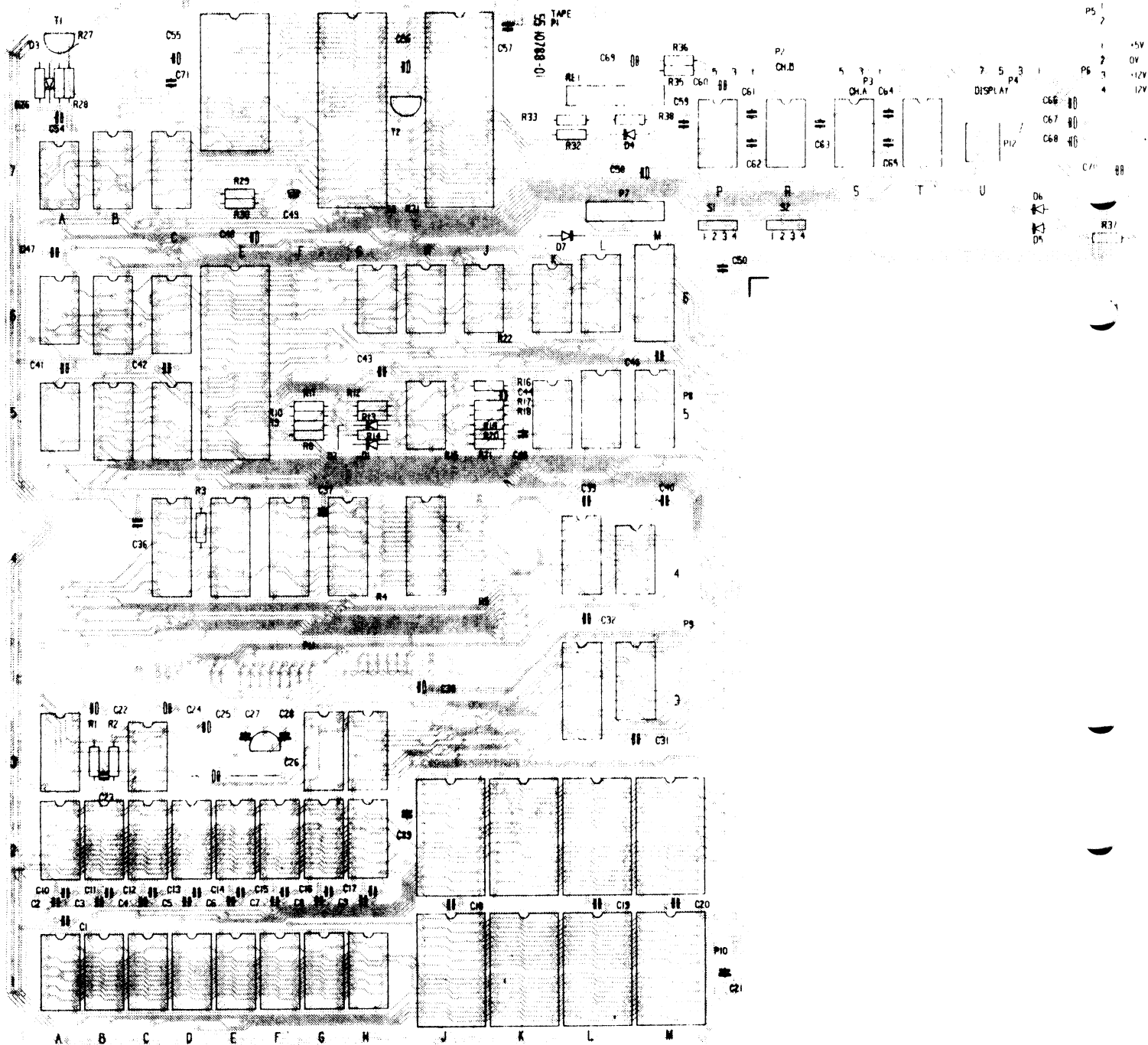
M1	ABC C-1	64 90136-02
M1	ABC C-12	64 90136-05

80-tecken

M1	ABC M-1	64 90135-02
M1	ABC M-12	64 90135-05

Processorkort

Komponentsida



7.2 Videokort 40-tecken

Kondensatorer

C1-2, C6-7, C9-13, C16-17	10 nF ker	62 21342-01
C3-4, C8, C15	47 uF 16 V tantal	62 50151-01
C5	1 nF ker	62 00028-01
C14	470 pF ker	62 00055-01

Motstånd

R1	4,7 kohm x 7	61 90032-01
R2-3, R5-6	100 kohm 5% 1/3 W	61 29274-01
R4	2,2 kohm 5% 1/3 W	61 29260-01
R7-8	1 kohm 5% 1/3 W	61 29258-01
R9-10	470 ohm 5% 1/3 W	61 29256-01

Integrerade kretsar

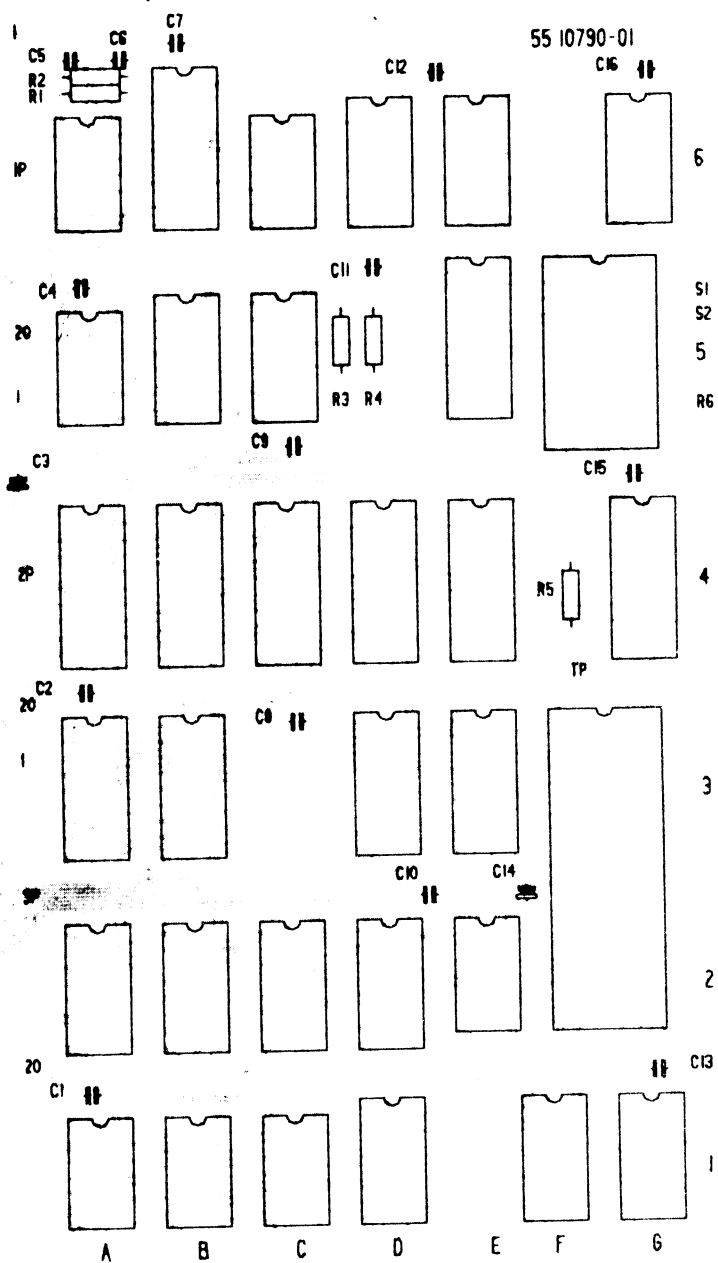
A3	SN 74LS109N	64 40109-01
A4	SN 74LS241N	64 40044-01
A5	SN 74ALS112N	64 40099-01
A6	SN 74LS32N	64 40034-01
R1	SN 74LS393N	64 40051-01
B2, C2, D3	SN 74LS258AN	64 40103-01
B3, C3	TMS 2114-20	64 40026-01
B4, C4	SN 74LS373N	64 40085-01
B5	SN 74LS11N	64 40107-01
B6	SN 74LS368N	64 40108-01
C1	SN 74LS283N	64 40049-01
C6	SN 74LS86N	64 40036-01
D4	CD 4041BE	64 40112-01
D5	SAA 5020	64 90052-01
D6, E6	SN 75140P	64 90096-01
E2	SN 7402N	64 40106-01
E3	SN 74LS175N	64 40043-01
E4	SN 74276N	64 40082-01
E5	CD 4022BE	64 40111-01

Övrigt

P1	Stiftdon STOCKO 20 pol	43 60398-01
X1	Kristall 12 MHz	63 90034-01

Videokort 40-tecken

Komponentsida



7.3 Videokort 80-tecken

Kondensatorer

C1-2, C4, C7-13, C15-16	10 nF ker	62 21342-01
C3, C14	47 uF 16 V tantal	62 50151-01
C5	470 pF ker	62 00055-01
C6	47 pF 63 V ker	62 00036-01

Motstånd

P1-2	470 ohm 5% 1/3 W	61 29256-01
R3-4	1 kohm 5% 1/3 W	61 29258-01
R5	10 kohm 5% 1/3 W	61 29265-01
R6	4,7 kohm x 7	61 90032-01
R7-9	4,7 kohm 5% 1/3 W	61 29263-01

Integrerade kretsar

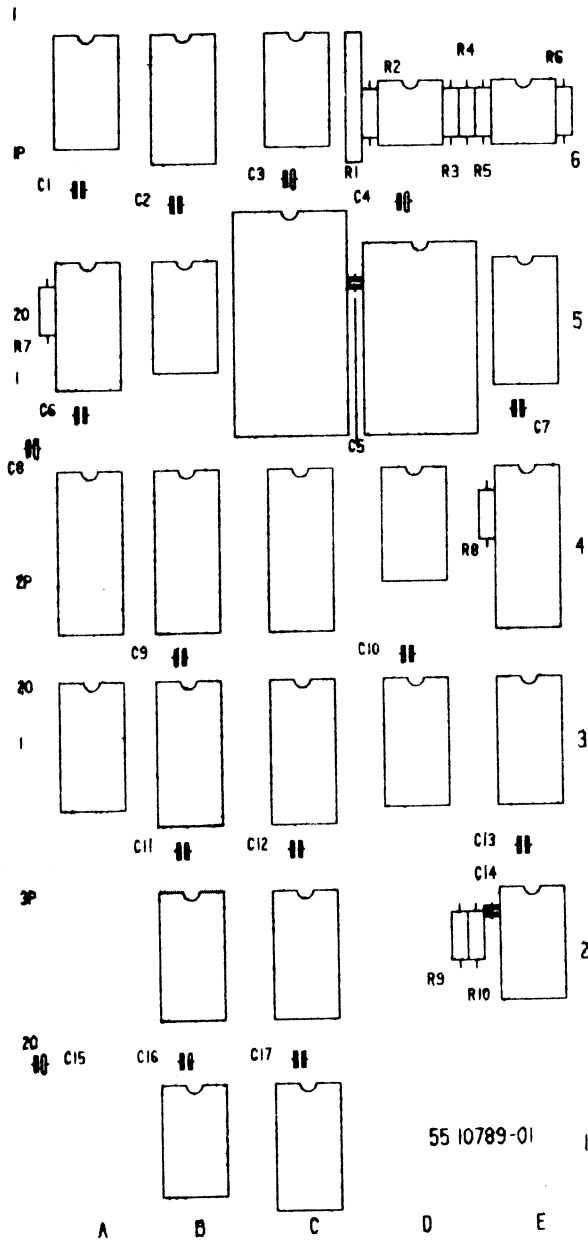
A1	SN 74LS27N	64 40114-01
A2, B2, C2, D2	SN 74LS258AN	64 40103-01
A3, B3, D3, E3	TMS 2114-20NL	64 40026-01
A4, G4	SN 74LS245N	64 40045-01
A5	SN 74LS08N	64 40032-01
A6	SN 74LS107N	64 40037-01
B1	SN 74LS10N	64 40033-01
B4, E4	SN 74LS373N	64 40085-01
B5	CD 4020BE	64 40123-01
B6	SN 74LS240N	64 40086-01
C1	SN 74LS86N	64 40036-01
C4, D4	SN 74LS374N	64 40117-01
C5, F1, G1	SN 74LS378N	64 40125-01
C6	SN 74LS74AN	64 40035-01
D1	SN 74LS379N	64 40104-01
D6	SN 74163N	64 40115-01
E2	SN 74LS02N	64 40061-01
E5	SN 74LS377N	64 40122-01
E6	SN 74LS174N	64 40110-01
G2	MC 6845P	64 90126-01
G6	SN 74LS166N	64 40042-01

Övrigt

P1-3	Stiftdon STOCKO 20 pol	43 60398-01
X1	Kristall 12 MHz	63 90034-01

Videokort 80-tecken

Komponentsida



55 10789-01

7.4 DC/DC-modul, variant -02

Kondensatorer

C1, C8	1000 uF 35 v	62 50132-01
C2	1000 uF -10+50 10%	62 50086-01
C3, C10	2,2 uF -10+75 63 V	62 50108-01
C5, C9	470 uF -10+50 25 V	62 50084-01
C12	470 pF 400 V 20%	62 00055-01
C13	56 pF 63 V 2%	62 00035-01
C15	150 nF 100 V 10% PE	62 21347-01
C17	2200 uF -10+50 40 V	62 50128-01

Motstånd

P1	500 ohm trimpot CERMET	61 17948-01
R1, R6	100 ohm 5% 1/3 W	61 29250-01
R2, R8	270 ohm 5% 1/3 W	61 29253-01
R3, R9	2,2 ohm 5% 1/3 W	61 00071-01
R4	1,2 kohm 5% 1/3 W	61 29290-01
R5	4,7 kohm 5% 1/3 W	61 29263-01
R7	680 ohm 5% 1/2 W	61 29489-01
R10	4,7 ohm 5% 1/3 W	61 00101-01

Integrerade kretsar

I1	TL 497A	64 90086-01
I2	79M12	64 50022-01
I3	78M12	64 50006-01

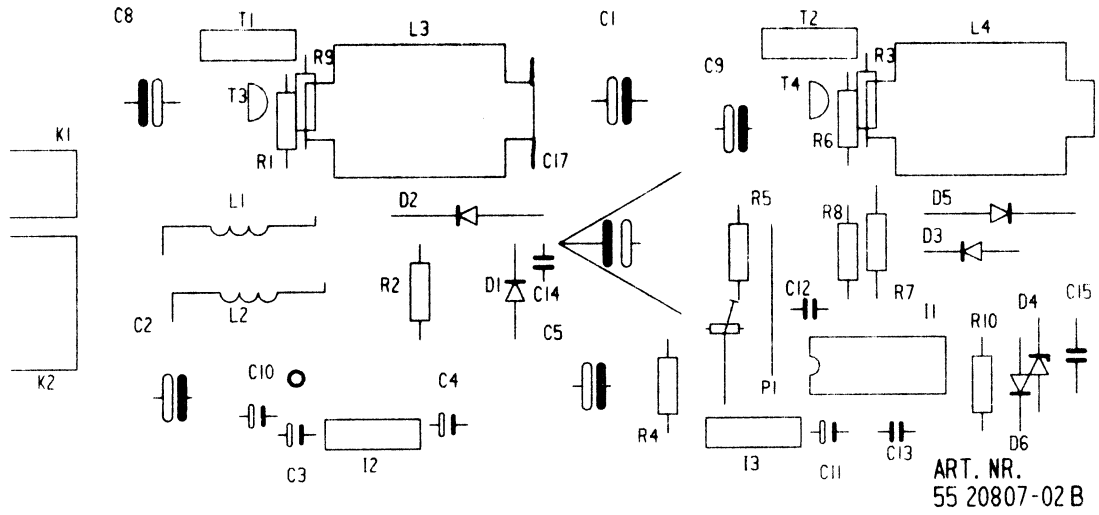
Dioder och transistorer

D1, D3	RGP 10D	63 40058-01
D2, D5	RGP 30D	63 40074-01
D4	BZX61 C12 1,3 W	63 08748-01
D6	1N 4148	63 08824-01
T1-2	BU 406	63 20025-01
T3-4	BC 636	63 10032-01

Övrigt

K1	Kontaktidon 2-pol MOLEX	43 60371-01
K2	Kontaktidon 4-pol MOLEX	43 60361-01
L1-2	Drossel 23uH 0,05 ohm	59 00391-01
L3-4	Transformator	58 10088-01

Komponentsida



7.5 Högupplösningsskort

Kondensatorer

C1	100 uF 16 V tantal	62 50150-01
C2, C6, C13-19, C21-28	10 nF 63 V ker	62 21342-01
C3-7, C9-12	100 nF 63 V ker	62 00039-01
C8	100 uF 6,3 V tantal	62 50153-01
C20	47 uF 16 V tantal	62 50151-01

Motstånd

P1-8	100 ohm 5% 1/3 W	61 29250-01
R9, R11, R14-15	1 kohm 5% 1/3 W	61 29258-01
R10	560 ohm 5% 1/3 W	61 29300-01
R12-13	15 ohm 5% 1/3 W	61 29672-02

Integrerade kretsar

A1, B1, C1, D1, E1, F1, G1	TMS 4116-20NL	64 40028-01
H1		
A2, C2, E2, G2	SN 74S153N	64 40119-01
A3	HM3-7621-5 HRU	64 90127-01
A5	SN 74LS175N	64 40043-01
A6	SN 74LS32N	64 40034-01
B2, D2, G5	SN 74LS163AN	64 40120-01
B3, C3, G3	SN 74LS273N	64 40048-01
B5	SN 74LS138N	64 40100-01
B6	SN 74LS08N	64 40032-01
C4, E4	SN 74LS166N	64 40042-01
C5	SN 74LS109N	64 40109-01
D2	SN 74LS191N	64 40102-01
D3	SN 74LS373N	64 40085-01
D4	SN 74LS377N	64 40122-01
E3	SN 74LS74AN	64 40035-01
E5	SN 74265N	64 40118-01
F2	SN 74LS393N	64 40051-01
F3	SN 74LS107N	64 40037-01
F4	SN 74LS03N	64 40124-01
F5	SN 74S175N	64 40116-01
F6, G6	SN 74LS164N	64 40121-01
G4	HM3-7603-5 HRU	64 90128-01

Övrigt

P1-3	Hylsdon 20-pol STOCKO	43 60399-01
P8-10	Stiftdon 20-pol STOCKO	43 60398-01

(

)

(

)

